

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

009141382 **Image available**

WPI Acc No: 1992-268820/199232

Related WPI Acc No: 1992-284865; 1993-258987; 1993-273120; 1993-303671;

1993-350829; 1994-118632; 1994-167818; 1994-176402; 1994-280096;

1995-043660; 1995-274965; 1995-344735; 1996-159905; 1997-402023;

1997-456965; 1998-031499; 1998-270792; 1998-321880; 1999-130598;

2000-440902; 2002-238193; 2003-246899; 2003-415468; 2003-554214

XRPX Acc No: N92-205588

Flat-panel display fabrication - using pixel arrays which form light
valves or switches fabricated with control electronics in single crystal
thin-film material

Patent Assignee: KOPIN CORP (KOPI-N); DINGLE B (DING-I); FAN J C C (FANJ-I)
; JACOBSEN J (JACO-I); MCCLELLAND R (MCCL-I); ZAVRACKY P M (ZAVR-I)

Inventor: DINGLE B; FAN J C C; JACOBSEN J; MCCLELLAND R; SPITZER M;
ZAVRACKY P M

Number of Countries: 017 Number of Patents: 014

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
WO 9212453	A1	19920723	WO 91US9770	A	19911231	199232 B
US 5206749	A	19930427	US 90636602	A	19901231	199318
EP 565588	A1	19931020	WO 91US9770	A	19911231	199342
			EP 92902703	A	19911231	
US 5258320	A	19931102	US 90636602	A	19901231	199345
			US 91801885	A	19911203	
JP 6504139	W	19940512	WO 91US9770	A	19911231	199423
			JP 92502883	A	19911231	
US 5362671	A	19941108	US 90636602	A	19901231	199444
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
US 5528397	A	19960618	US 90636602	A	19901231	199630
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
US 5736768	A	19980407	US 90636602	A	19901231	199821
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
US 6232136	B1	20010515	US 90636602	A	19901231	200129
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	

US 20010019371	A1	20010906	US 90636602	A	19901231	200154
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
JP 2002014375	A	20020118	JP 92502883	A	19911231	200211
			JP 2001158849	A	19911231	
US 6414783	B2	20020702	US 90636602	A	19901231	200248
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
JP 3361325	B2	20030107	JP 92502883	A	19911231	200306
			JP 2001158849	A	19911231	
US 20030057425	A1	20030327	US 90636602	A	19901231	200325
			US 91801966	A	19911203	
			US 9385667	A	19930630	
			US 94225091	A	19940408	
			US 94281777	A	19940728	
			US 95485779	A	19950607	
			US 9856410	A	19980406	
			US 2001812611	A	20010320	
			US 2002188342	A	20020701	

Priority Applications (No Type Date): US 90636602 A 19901231; US 91801885 A 19911203; US 91801966 A 19911203; US 9385667 A 19930630; US 94225091 A 19940408; US 94281777 A 19940728; US 95485779 A 19950607; US 9856410 A 19980406; US 2001812611 A 20010320; US 2002188342 A 20020701

Cited Patents: 2.Jnl.Ref; EP 151508; JP 1038727; JP 63055529; US 4266223; US 4727047; US 4883561

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
WO 9212453	A1		86	G02F-001/136	

Designated States (National): JP

Designated States (Regional): AT BE CH DE DK ES FR GB GR IT LU MC NL SE

US 5206749	A	28	G02F-001/1343
------------	---	----	---------------

EP 565588	A1 E	86	Based on patent WO 9212453
-----------	------	----	----------------------------

Designated States (Regional): AT BE CH DE DK ES FR GB IT LI LU MC NL SE

US 5258320	A	21	H01L-021/70	Div ex application US 90636602
				Div ex patent US 5206749

JP 6504139	W			Based on patent WO 9212453
------------	---	--	--	----------------------------

US 5362671	A	28	H01L-021/20	Div ex application US 90636602
				Cont of application US 91801966
				Cont of application US 9385667
				Div ex patent US 5206749

US 5528397	A	27 H01L-027/01	Cont of application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of patent US 5206749 Cont of patent US 5362671
US 5736768	A	26 H01L-027/01	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397
US 6232136	B1	H01L-021/00	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768
US 20010019371 A1		G02F-001/1335	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Cont of application US 9856410 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768 Cont of patent US 6232136
JP 2002014375 A		24 G02F-001/1368	Div ex application JP 92502883
US 6414783	B2	G02B-026/00	Div ex application US 90636602 Cont of application US 91801966 Cont of application US 9385667 Cont of application US 94225091 Cont of application US 94281777 Div ex application US 95485779 Cont of application US 9856410 Div ex patent US 5206749 Cont of patent US 5362671 Cont of patent US 5528397 Div ex patent US 5736768 Cont of patent US 6232136
JP 3361325	B2	23 G02F-001/1368	Div ex application JP 92502883

US 20030057425 A1

H01L-033/00

Previous Publ. patent JP 2002014375

Div ex application US 90636602

Cont of application US 91801966

Cont of application US 9385667

Cont of application US 94225091

Cont of application US 94281777

Div ex application US 95485779

Cont of application US 9856410

Cont of application US 2001812611

Div ex patent US 5206749

Cont of patent US 5362671

Cont of patent US 5528397

Div ex patent US 5736768

Cont of patent US 6232136

Cont of patent US 6414783

Abstract (Basic): WO 9212453 A

Fabrication of the panel display involves forming a single crystal semiconductor material on a supporting upstrate. An array of transistors and an array of pixel electrodes are formed in or on the single crystal material to form a circuit panel. Each pixel is actuatable by one of the transistors.

A light transmitter material is positioned adjacent to the circuit panel such that an electric field or signal generated by each pixel alters a light transmitting property of the material.

ADVANTAGE - Produces high quality image. h p

Dwg.1A/20

Title Terms: FLAT; PANEL; DISPLAY; FABRICATE; PIXEL; ARRAY; FORM; LIGHT; VALVE; SWITCH; FABRICATE; CONTROL; ELECTRONIC; SINGLE; CRYSTAL; THIN; FILM; MATERIAL

Derwent Class: P81; P85; U14

International Patent Class (Main): G02B-026/00; G02F-001/1335;

G02F-001/1343; G02F-001/136; G02F-001/1368; H01L-021/00; H01L-021/20;

H01L-021/70; H01L-027/01; H01L-033/00

International Patent Class (Additional): G02F-001/1333; G02F-001/1345;

G09C-003/10; H01L-021/44; H01L-021/84; H01L-027/00; H01L-027/12;

H01L-029/00; H01L-029/04; H01L-031/0392; H05B-033/12

File Segment: EPI; EngPI

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I
G 0 2 F 1/136	5 0 0	9018-2K	
H 0 5 B 33/12		8715-3K	

審査請求 未請求 予備審査請求 有 (全 23 頁)

(21)出願番号 特願平4-502883
 (86)(22)出願日 平成3年(1991)12月31日
 (85)国際文提出日 平成5年(1993)6月29日
 (86)国際出願番号 PCT/US91/09770
 (87)国際公開番号 WO92/12453
 (87)国際公開日 平成4年(1992)7月23日
 (31)優先権主張番号 636, 602
 (32)優先日 1990年12月13日
 (33)優先権主張国 米国 (US)
 (81)指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IT, LU, MC, NL, SE), JP

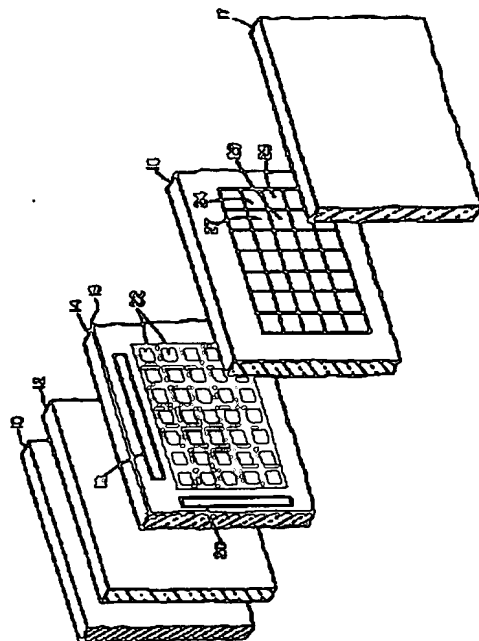
(71)出願人 コビン・コーポレーション
 アメリカ合衆国マサチューセッツ州02780ト
 ーントン・マイルズスタンディッシュイン
 ダストリアルパーク・マイルズスタンディ
 ッシュプールバード695
 (72)発明者 ザブラツキー, ポール・エム
 アメリカ合衆国マサチューセッツ州02062ノ
 ーウッド・ビーチストリート25
 (72)発明者 フアン, ジョン・シー・シー
 アメリカ合衆国マサチューセッツ州02167チ
 エスナットヒル・ウエストロックスパライ
 パークウェイ881
 (74)代理人 弁理士 小田島 平吉

最終頁に続く

(54)【発明の名称】 表示パネル用の単結晶シリコン配列素子

(57)【要約】

ディスプレイパネルが、ディスプレイ作製のための基板に転移される単結晶薄膜材料(15)を使用して形成される。ピクセル配列(22)は、転移の前に、薄膜材料において制御電子回路(18、20)を作製した光弁又はスイッチを形成する。それから、結果の回路パネル(14)が、所望のディスプレイを設けるために、発光又は液晶材料でディスプレイパネルに組み込まれる。



請 求 の 範 囲

1. パネルディスプレイを製作する方法において、
 - a) 支持基板において単結晶半導体材料を形成することと、
 - b) 各ピクセルがトランジスタの一つによって作動可能である如く、回路パネルを形成するために、単結晶材料において又は上にトランジスタの配列とピクセル電極の配列を形成することと、
 - c) 各ピクセルによって発生された電界又は信号が材料の光透過特性を変更する如く、回路パネルに間接して光透過性材料を位置付けることとを含む方法。
2. 段(a)が、支持基板において非単結晶の半導体材料を形成することと、単結晶材料を形成するために非単結晶の半導体材料を結晶化することを含む請求の範囲1に記述の方法。
3. 単結晶半導体材料が、本質的単結晶の半導体材料である請求の範囲2に記述の方法。
4. 段(a)が、支持基板から光透過性基板に単結晶材料を転移することをさらに含む請求の範囲1に記述の方法。
5. 各トランジスタが電極回路に電気的に接続される如く、単結晶半導体材料において又は上に電極回路を形成することをさらに含む請求の範囲1に記述の方法。
6. 転移段階が、さらに、単結晶材料から基板を化学的にエッチングすることを含む請求の範囲4に記述の方法。
7. 転移段階が、さらに、回路パネルを光透過性基板に貼合せることを含む請求の範囲4に記述の方法。
8. 光透過性材料が、液晶を具口する請求の範囲1に記述の方法。

17. 光透過性材料が、エレクトロルミネセント材料を具口する請求の範囲10に記述のパネルディスプレイ。

18. パネルディスプレイを製作する方法において、
 - a) 支持基板上に単結晶半導体材料を形成することと、
 - b) 各ピクセルが少なくとも一つのトランジスタによって作動可能である如く、ピクセルの回路パネルを形成するために、単結晶材料において又は上にトランジスタの配列とピクセル電極の配列を形成することと、
 - c) 各ピクセルにおいて発生された電界又は信号が材料により発光する如く、各ピクセル内に発光性材料を位置付けることとを含む方法。

19. 段(a)が、支持基板上に非単結晶の半導体材料を形成することと、本質的単結晶材料を形成するために非単結晶の半導体材料を結晶化することを含む請求の範囲18に記述の方法。

20. 各トランジスタが電極回路に電気的に接続される如く、本質的単結晶材料において又は上に電極回路を形成することをさらに含む請求の範囲18に記述の方法。

21. 各ピクセルにおいて発生された電界が、発光性電極とピクセル電極の間にある如く、発光性材料上に光透過性電極配列を位置付けることをさらに含む請求の範囲18に記述の方法。

22. 段(a)が、単結晶材料が支持基板から光透過性基板上に転移される転移段階をさらに含む請求の範囲18に記述の方法。

23. 転移段階が、単結晶材料から化学的にエッチングすることにより支持基板を除去する段階を段階を含む請求の範囲22に記述の方法。

24. 単結晶材料が、光透過性基板の湾曲面に転移される請求の範囲

9. 光透過性材料が、エレクトロルミネセント材料である請求の範囲1に記述の方法。

10. 支持基板と、

基板に固定され、トランジスタの配列とピクセル電極の配列を具口し、各ピクセルがトランジスタの一つに電気的に接続された回路パネルと、各ピクセルによって発生され、材料に印加された電界又は信号が光透過特性を変更する如く、回路パネルに間接して位置付けられた光透過性材料と、

ピクセルを作動させるために回路パネルに電気的に接続された電極回路とを具口するパネルディスプレイ。

11. 単結晶半導体材料が、シリコンを具口する請求の範囲12に記述のパネルディスプレイ。

12. 単結晶半導体材料が、本質的単結晶の半導体材料である請求の範囲13に記述のパネルディスプレイ。

13. トランジスタ配列とピクセル配列が、単結晶半導体材料の開口において又は上に形成される請求の範囲10に記述のパネルディスプレイ。

14. 回路パネルを光透過性基板に貼合せるための貼合せ材料をさらに具口する請求の範囲10に記述のパネルディスプレイ。

15. 光透過性材料上に位置付けられた電極の光透過性配列をさらに具口し、各光透過性電極が、トランジスタの一つに電気的に接続される請求の範囲10に記述のパネルディスプレイ。

16. 光透過性材料が、液晶を具口する請求の範囲10に記述のパネルディスプレイ。

22に記述の方法。

25. 転移段階が、さらに、回路基板を光透過性基板に貼合せることを含む請求の範囲22に記述の方法。

26. 発光性材料が、エレクトロルミネセント材料を含む請求の範囲18に記述の方法。

27. 支持基板と、

基板に固定され、トランジスタの配列とピクセル電極の配列を具口し、各ピクセル電極が少なくとも一つのトランジスタに電気的に接続され、各トランジスタが、単結晶半導体材料の開口において又は上に形成したソース、ドレイン及びチャネル領域を含むピクセルの回路パネルと、各ピクセル内のトランジスタによって発生された電界又は信号が材料による発光を生じさせる如く、各ピクセル内に位置付けられた発光性材料と、

ピクセルを作動させるために回路パネルに電気的に接続された電極回路とを具口するパネルディスプレイ。

28. エレクトロルミネセント材料上に位置付けられた電極の光透過性配列をさらに具口し、各光透過性電極が、トランジスタの一つに電気的に接続される請求の範囲27に記述のパネルディスプレイ。

29. 単結晶半導体材料が、シリコンを具口する請求の範囲27に記述のパネルディスプレイ。

30. 単結晶半導体材料が、本質的単結晶半導体材料である請求の範囲27に記述のパネルディスプレイ。

31. トランジスタが、約5000Hzなしに約10、000Hzの共振周波数において動作することができる請求の範囲27に記述のパネル

ルディスプレイ。32. 印刷品材料の開口において形成した回路回路をさらに具出し、回路回路が、回路トランジスタを作動させることにより、各ピクセルを選択的に作動させることができる如くトランジスタに電気的に接続され、各作動されたトランジスタに接続された回路ピクセル回路が、発光材料に電界を生成させる請求の範囲27に記載のパネルディスプレイ。

33. 発光性材料が、エレクトロルミネセント材料を具する請求の範囲27に記載のパネルディスプレイ。

34. エレクトロルミネセント材料が、回路の回路を具し、各回路が、異なる色において発光する請求の範囲33に記載のパネルディスプレイ。

35. 支持基板が、ガラス又はプラスチックの如く光透過性材料を具する請求の範囲37に記載のパネルディスプレイ。

ルファシリコンの使用に基いた。TFTアプローチは、実用可能であることがわかったが、アモルファスシリコンの使用は、パネル性能の幾つかの見地を要する。例えば、アモルファスシリコンTFTは、アモルファス材料に固有な低電子移動度のために大面積ディスプレイに対して必要とされる回路応答に欠ける。こうして、アモルファスシリコンの使用は、表示速度を制限し、そしてまた、ディスプレイを駆動するために必要とされた高電圧に不適切である。

アモルファスシリコンの固定性のために、他の代替的な材料としては、多結晶シリコン又はレーザー照射結晶シリコンが挙げられる。これらの材料は、一度に広く回路回路を低圧に印刷するガラス上に既存のシリコンを使用するために、固定される。

TFTを具するアクティブマトリックスはまた、エレクトロルミネセント(EL)ディスプレイにおいて有益である。TFTは、シリコンから形成される。しかし、LCDアクティブマトリックスにおいて多結晶シリコンとアモルファスシリコンの使用を限定する同一因子はまた、ELディスプレイにおいてこれらの形式のシリコンの使用を制限する。さらに、ELディスプレイは、高電圧と低い電流のみならず、エレクトロルミネセンスのために必要とされた電圧レベルをサポートすることが出来るTFTを必要とする。

こうして、所望の回路を有し、製造の容易さと低費用を要し、パネルディスプレイの各ピクセルにおいて高品質TFTを形成する方法の必要性が存在する。さらに、所望の回路を有し、製造の容易さと低費用を要けるとともに、照明のために必要な電圧において表示ピクセルを作動させる回路を要し、ELパネルディスプレイの各ピクセルにおいて高品質

発明の背景

高品質回路を生成するために液晶又はエレクトロルミネセント材料を用いた平パネルディスプレイが、開発されている。これらのディスプレイは、真空管(CRT)技術に代わり、より高画質テレビジョン回路を開けると期待される。例えば、大形高品質液晶ディスプレイ(LCD)への最も有望な道は、アクティブマトリックスアプローチであり、この場合回路トランジスタ(TFT)は、LCDピクセルと同じ回路に印刷される。TFTを用いるアクティブマトリックスアプローチの主な利点は、ピクセル間のクロストークの防止と、TFT互換LCDで置き換えられる優れたグレースケールである。

LCDを駆動する平パネルディスプレイは、一般に、5つの異なる層を含む。すなわち、白発光層、ピクセルを形成するためにTFTを印刷した回路パネルの一方の面に取り付けられた1口発光フィルター、ピクセルに印刷された少なくとも3つの異なる色を含むフィルター層、そして最後に、2口発光フィルターである。回路パネルとフィルター層の間の密着は、液晶材料で充填される。この材料は、回路パネルとフィルター層に取り付けた接点の間に電界が印加される時、電光を回復させる。こうして、ディスプレイの個別なピクセルがオンにされる時、2口発光フィルターを透過する如く材料を透過される電光を回復させる。

平パネルディスプレイに対して必要とされる大面積でのTFT形成への主なアプローチは、大面積発光能力に対して印刷形成されたアモ

TFTを形成する方法の必要性が存在する。

発明の要旨

本発明は、トランジスタがディスプレイの各ピクセルを制御するために作図され、本質的に結晶シリコンの開口を使用するパネルディスプレイとディスプレイの作図方法に関する。好ましい実施例に対して、開口又はトランジスタアレイが、ガラス又は透明な支持基板の如く光透過性基板に形成される。この実施例において、開口は印刷シリコンは、LCDの各ピクセルを作動させる回路トランジスタのピクセルマトリックスアレイを形成するために使用される。パネルディスプレイを駆動するために必要とされるCMOS回路は、トランジスタが形成されたと同一開口材料に形成される。回路は、配線とワイヤボンディングの必要強度なしに、銅合金化技術を使用して、マトリックスアレイに完全に相互接続されることである。

各トランジスタは、電界又は電圧の印加により、電荷材料又は電子からの電荷の移動を制御するために役立つ。この回路の目的のために、電荷からの電荷が移動されるトランジスタと電荷材料又は電子は、電荷と呼ばれる。こうして、パネルディスプレイの各ピクセルは、独立した電荷である。そのような電荷の例としては、LCD、あるいは発光回路が電荷又は電圧により駆動され、高画質ピクセルアレイを開けるように構成された液体又は固体状態材料がある。本発明と関連する方法は、高画質カラー電荷を生成するための大形平パネルのすべての必要条件を満足する。トランジスタ又はスイッチは、ディスプレイを開けるために、エレクトロルミネセント表示装置(ELD)又は発光ダイオード(LED)と対にされる。

本発明の好ましい実施態様は、大面積半導体膜を使用し、膜を基板から分離し、膜をガラス又は他の適切な光透過性材料に取り付ける。2ミクロン以下の厚さの結晶シリコン膜は、エピタキシャル基板から分離され、そして膜は、ガラスとセラミックスに取り付けられる。薄膜トランジスタ（「TFT」）の如く、 $p-n$ 接合素子は、分離前に少なくとも部分的に作製され、それからガラスに転写される。開口部、開口結合、ファンデルワールス力又はボンディング用化合物を含む各種のボンディング手段が、基板への取り付けのために使用される。他の公知な方法も使用できる。

プロセスの好ましい実施態様は、開口基板において、 $p-n$ 接合素子、 $p-n$ 接合素子形成する段階と、ピクセル回路及び開口エンハンスメント形トランジスタの配列と周辺CMOS回路を開口上に作製する段階とを含む。各トランジスタは、各ピクセルがトランジスタの一つによって独立に作製される如く、ピクセル回路の一つに電気的に接続される。CMOS回路は、ピクセル動作と表示領域を制御するために使用される。素子作製は、基板が、ソース、ドレイン、チャネル及びゲート領域の形成とピクセル回路との相互接続により開口基板にまだ付着されている間、開始される。基板パネル基板への転写の際に、素子回路を互換的に完了することにより、低コストガラス又はポリマーが使用できる。代替的に、素子作製のすべて又は部分は、別個に、あるいはガラス又はプラスチック板への転写の際により行われる。転写後、カラーフィルターと液晶材料との一体化により、LCDを使用する実施態様に対してパネルが完成される。

液晶形成プロセスの好ましい方法は、本質的結晶シリコンが剥離される。

ウェーハ又は基板から除去され、そして回路パネルを形成するためにガラス又は他の適切な基板に取り付けられる。代替的に、最初に、回路を形成し、回路をガラスに結合し、それから、基板から回路を分離することもできる。ピクセルは、平面形状を有する行と列において位置付けられる。作製段階の順序は、これらの回路に対する高品質転写が転写の前に行われるために、ガラス上の従来の高品質CMOS（又は他の）装置の使用を許容する。

別の好ましい実施態様は、トランジスタ要素の開口配列の作製に係わり、 $p-n$ 接合素子の開口間隔又はレジストレーションを設けるために、 $p-n$ 接合素子又は $p-n$ 接合素子に電圧を印加することと、表示パネルを含む液晶基板に電圧を印加することを含む。

本発明のさらに別の好ましい実施態様は、 $p-n$ 接合素子シリコン材料を使用して、エレクトロミネセント（EL）パネルディスプレイとディスプレイの作製方法に関する。単結晶シリコンは、小形（6インチ×6インチ以下）のアクティブマトリックスELディスプレイにおいて高品質を達成するために好ましい。ELディスプレイにおいて、一つ以上のピクセルが、行列相互接続により、各ピクセルに提供されなければならない交流（AC）によって付与される。相互接続によるACの効率的な伝達、寄生容量によって制限される。しかし、アクティブマトリックスの使用は、相互接続容量のむしろ小さく、ピクセル電光体においてより効率的なエレクトロミネセンスを達成し、このため、明度を高めるために、高周波数ACの使用を可能にする。本発明により、この利点を設けるTFTは、バルクシリコン、あるいは単結晶又は本質的結晶シリコンの如く、単結晶ウェーハにおいて形成される。これら

特性において形成される、シリコンオンインシュレータ（SOI）技術を使用する。本出願のために、用語「本質的結晶シリコン」とは、多量の結晶が、膜を覆って下に広がる平面において、少なくとも 0.1 cm^2 、好ましくは、 $0.5\sim 1.0\text{ cm}^2$ 以上の面積における表面積以上に広がっていることを意味する。そのような膜は、例えば、サファイア、SiO₂、Siウェーハ、炭素及び炭化けい素基板において公知の技術を使用して形成される。

SOI技術は、一般に、結晶素子が下部基板のそれに一致しないシリコンの形成に似る。特別な好ましい実施態様は、開口において高品質Siの開口を生産するために、分離シリコンエピタキシー（ISE）を使用する。このプロセスは、本質的結晶シリコンを形成する材料を結晶化するために加熱された開口において、アモルファス又は多結晶シリコンの如く非単結晶材料の堆積を含む。開口の位置は、回路への容納しに、エッチングされる活性層の下に酸化物を使用して、 $p-n$ と回路の開口を可能にする。

好ましい実施態様において、エピタキシャル膜が形成された全基板はエッチバック手段によって除去される。

代替的に、化学的エピタキシャルリフトオフの方法、単結晶材料をガラス又は他の基板に転写するプロセスは、所望の半導体材料の大面積シートに適用される。これら又は他の剥離方法は、回路パネル作製用基板への転写のために成長基板から任意の結晶単結晶材料を除去するために使用される。

本発明は、再結晶化シリコンにおけるCMOS回路とピクセル回路の形成を含み、再結晶化シリコンは、第2転写基板に固定され、開始

の高品質TFTは、ELパネルディスプレイにおいて使用され、高周波と低周波を設けるとともに、エレクトロミネセンスのために必要とされた高電圧レベルをサポートする。

真ELディスプレイは、 $p-n$ 接合素子電光体のための受光回路が、 $p-n$ 接合素子材料の開口間隔間隔に関して低いピクセル周波数（約100Hz）で一様に動作するために、低い明度出力を設ける。本発明のELディスプレイにおいて、TFTは、高キャリア移動度を特徴とするバルク又は単結晶シリコン又は本質的結晶シリコンを使用して、アクティブマトリックスにおいて形成される。それ自体、TFTは、高品質応答において動作する。こうして、ピクセルと同じ場所に位置した高品質TFTを位置するアクティブマトリックス回路パネルは、 $p-n$ 接合素子材料の開口間隔時間に関する高品質受光体周波数を設け、ディスプレイの明度を増大させる。本発明のELディスプレイは、1000~10,000Hzの高品質受光体周波数を設けることができる。好ましくは、本発明のELディスプレイは、約5000Hz以上、最大約10,000Hzの高品質受光体周波数を設け、明度を比例して増大させる。

好ましい実施態様において、単結晶シリコンの開口が、トランジスタの配列とピクセル回路の配列を具現し、各ピクセル回路の一つ以上のトランジスタによって動作可能な回路パネルを形成するために使用されるエレクトロミネセント材料は、回路パネルに印刷して位置付けられ、EL回路の配列を形成するためにパターン化される。ELディスプレイの実施態様に対して、各トランジスタ（又はトランジスタ回路）、周辺ピクセル回路と周辺EL材料要素は、ピクセルとして作製される。それ自体、ELディスプレイは、 $p-n$ 接合素子の独立の開口可能なピクセルから成る。

各ピクセルに対して、陽極E.L.材料に電界又は電荷を発生させることが出来るトランジスタ(又はトランジスタ回路)は、E.L.材料による発光を制御するために役立つ。

E.L.パネルディスプレイを駆動するために用いるCMOS駆動回路は、高圧DMOSトランジスタとピクセル回路が形成された同一単結晶材料において形成される。駆動回路は、配線とワイヤボンディングの必要なしに、開口金具化技術を使用して、ピクセルのマトリックスへ完全に相互接続されることが出来る。さらに、光透過性電極配列は、各ピクセルにおいて発生された電界が光透過性電極とピクセル回路の間にあり、エレクトロルミネセント材料上に位置付けられる。それ自体、E.L.パネルディスプレイの各ピクセルは、その発光特性が電界又は電荷によって決定される独立した発光体である。

本発明は、高輝度カラー像を生産するための必要條件を満足するE.L.パネルディスプレイを構成するための装置と製造方法を含む。そのために、エレクトロルミネセント材料は、電極の異なる発光層を生成することが出来るピクセルを設けるために使用される。さらに具体的には、エレクトロルミネセント材料は、複数のパターン化層を開口し、各層は、電界を受けた時、他の層によって形成された電界に因って異なる特定の波長の光を生産することが出来る。

E.L.ディスプレイ形成プロセスの好ましい実施形態は、支持基板において単結晶シリコンの層を形成する段階と、シリコン層においてピクセル回路、トランジスタと駆動回路の配列を形成する段階と、シリコン層に開口した各ピクセル内にエレクトロルミネセント層を形成する段階とを含む。各トランジスタは、各ピクセルが駆動回路によって独立に

動作を形成し、層を結晶させ、実質的に単結晶シリコンのウェーハを形成するために単結晶で多結晶層を走査することを含む。同様の目的で単結晶S.I.層を形成する段階を含むI.S.E.を使用する。ディスプレイ形成プロセスは、さらに、シリコン層において、ピクセル回路、トランジスタと駆動回路の配列を形成する段階と、各ピクセル内にエレクトロルミネセント層を形成する段階とを含む。各トランジスタは、各ピクセルが、一つのトランジスタ回路によって独立に作動される如く、ピクセル回路に電気的に接続される。駆動回路は、ピクセル動作を制御するために使用され、そして駆動が決定される。

形成の多様な詳細な詳細と部品の組み合わせを含む、発明の上記と他の特徴は、添付の図面を参照してさらに詳細に説明され、クレームにおいて述べられる。特定のパネルディスプレイと発明を具現するパネルを構成する際に使用される方法は、例示のみとして示され、発明を限定するものでないことが理解される。この図面の主な特徴は、発明の範囲に属することなく多様な実施形態において使用できる。

図面の簡単な説明

- 図1A図は、発明による平パネルディスプレイの分解斜視図である。
- 図1B図は、発明の好ましい実施形態のための駆動システムを示す回路図である。
- 図2A～2L図は、平パネルディスプレイのための回路パネルの作製を示す、好ましいプロセス流れ順序図である。
- 図3図は、ディスプレイパネルの好ましい実施形態の断面図である。
- 図4図は、再結晶化のために使用されるシステムの好ましい実施形態の斜視図である。

作動される如く、ピクセル回路に電気的に接続される。

E.L.ディスプレイのための単結晶シリコン形成プロセスの好ましい方法は、基板上の絶縁性酸化物におけるシリコンの形成に因るSOI技術を含む。SOI技術は、本発明のE.L.ディスプレイの高圧、高輝度回路をサポートするために好ましい。さらに具体的には、酸化層は、DMOSトランジスタの如く、高圧素子に課する電圧を可能にする。さらに、SOI構造は、高輝度ディスプレイにつながる高輝度ピクセル回路を形成するためのチャネル開口を設ける。

他の好ましい方法は、単結晶シリコンが、分離され、別の材料に結合される支持基板において形成されるSOI技術に因るE.L.ディスプレイのための層形成過程に因る。一つの好ましいプロセスにおいて、単結晶シリコンの層は、基板において形成され、そしてアクティブマトリックス回路が、シリコン層において形成される。次に、層は、その層から分離され、ピクセルの発光を改良するために、戻り材料に転移される。別の好ましい実施形態において、層は、その層から分離され、発光性を改良するために、材料の両面膜に結合される。例えば、E.L.ディスプレイは、ヘルメット型システムの場合並びに取り付けられる。代位的に、E.L.ディスプレイは、ヘッドアップディスプレイのための両面膜に取り付けられる。

別の好ましい実施形態において、単結晶シリコンの層は、基板において形成され、そして金ウェーハが、上層に取り付けられる。次に、金層は、エッチバック手順によって除去される。

E.L.ディスプレイ形成プロセスの他の好ましい方法は、絶縁性基板の上に多結晶シリコンの層を形成し、多結晶シリコン上にキャッピング

図5A図は、結晶化材料において電界を開口化するパターン化絶縁層の使用を示す。

図5B図は、電界を開口化するためのパターン化キャッピング層の使用を示す。

図6A図は、発明によるガラスへの低圧の前のMOSFETのドレイン層と相互コンダクタンス特性を示す。

図6B図は、ガラスへの低圧後の図6A図のMOSFETのドレイン層と相互コンダクタンス特性を示す。

図7A図は、2つの異なるドレイン層において対称スケールでプロットした、図6A図の素子のドレイン電流を示す。

図7B図は、2つの異なるドレイン層において対称スケールでプロットした、図6B図の素子のドレイン電流を示す。

図8A図は、ゲート層が0～5ボルトで変化する、図6A図の素子のドレイン電流出力を示す。

図8B図は、ゲート層が0～5ボルトで変化する、図6B図の素子のドレイン電流出力を示す。

図9A～9C図は、発明によるリフトオフプロセスを示す一連の断面図である。

図10A図は、発明の別の実施形態による、リフトオフ過程中のウェーハの分解斜視図である。

図10B図は、プロセスにおける段階的、リフトオフ過程の図10A図の図10Bに示して取った断面図である。

図10C図は、レジストレーションが設けられる別の実施形態において、リフトオフ過程中のウェーハの一部の分解斜視図である。

図10D図と図10E図は、リフトオフプロセスにおけるさらに他の段階の図10C図の断面の断面を示す。

図11A～11E図は、発明によるリフトオフ手順のプロセスフローにおける各段階中のウェーハの断面図である。

図12A～12C図は、発明の別の好ましいリフトオフ手順の断面図である。

図13A～13C図は、発明による転写の好ましい方法を概略的に示す。

図14A図と図14B図は、発明によるさらに他の転写方法を概略的に示す。図15図は、発明による電子レジストレーションを監視開口するための好ましいシステムを示す。

図16A図は、本発明によるエレクトロルミネセントパネルディスプレイの分解斜視図である。

図16B図は、エレクトロルミネセントカラー表示装置の斜視図である。

図16C図は、エレクトロルミネセントパネルディスプレイのための駆動システムを示す回路図である。

図16D図は、図16C図のDMOSトランジスタの等価回路である。

図17A～17L図は、エレクトロルミネセントパネルディスプレイの回路パネルの作製を示す好ましいプロセス流れ順序図である。

図18A～18D図は、エレクトロルミネセントカラーディスプレイの作製を示す好ましいプロセス流れ順序図である。

図19A～19B図は、SOI構造の層への転写及びボンディングと転写の除去を示す好ましいプロセス流れ順序図である。

他の好ましい実施形態は、各ピクセルに対して発光体を形成するために、他の固相材料を使用する。その光透過特性が電界の印加により変えられるエレクトロルミネセント膜、多孔性シリコン又は発光材料が、発光体を形成するために使用される。従って、エレクトロルミネセント表示装置(ELD)、多孔性シリコン表示装置又は発光ダイオードが、形成され、ディスプレイを設けるために使用される。

パネルにおいてディスプレイを制御するために使用される駆動回路が、図1B図に示される。回路18は、入力信号を受信し、バス13を通して信号をピクセルに送達する。回路20は、各ピクセルにおいてキャパシタ26を充電する電圧のトランジスタ23をオンにするために、バス19を通して走査する。キャパシタ26は、配列の次の走査まで、ピクセル電圧と放電21において電荷を保持させる。発明の多様な実施形態は、所望のディスプレイの形式により、各ピクセルでキャパシタを使用する又はしない。

図2A～2L図は、回路パネル形成が形成された、シリコンオンインシュレータ(SOI)膜を形成するために、図2シリコンエピタキシー(1SE)プロセスの使用を示す。なお、任意の他の材料が、単結晶Siの膜を設けるために使用される。図2A図に示されたものの如く、SiO₂膜は、基板30と、基板30において成長又は堆積された(例えば、SiO₂等の)酸化物34を含む。シリコンの膜単結晶膜は、酸化物34上に形成される。酸化物(又は絶縁体)は、こうして、Si膜表面の下に埋め込まれる。1SE-SOI形成の場合に、頂部膜は、CMOS回路が作製される実質的に単結晶の再結晶化シリコンである。埋め込み絶縁体の使用は、従来のバルク(テックラルスキー)材料におい

図20A～20B図は、GeSi合金が中間エッチストップ層として使用される、代替的な転写プロセスを示す、好ましいプロセス流れ順序図である。

好ましい実施形態の別の説明

発明の好ましい実施形態が、図1図におけるパネルディスプレイの側面図に示される。ディスプレイの基板形成層は、白又は他の適切な色である光10、第1電圧フィルター12、回路パネル14、フィルター16と第2電圧フィルター17を含む。図1図において固定される。液晶材料(不図示)は、回路パネル14とフィルター16の間の空間に置かれる。回路パネル14におけるピクセル22の配列は、各ピクセルが、ピクセルとカラーフィルター16に固定した対向電極の間にある液晶材料において電界を発生させる如く、配列に固定して配置付けられた図1及び図2図の電極18、20を有する開口回路によって個別に作動される。電界は、液晶材料を通過させる電圧の回路を生じさせ、即ちカラーフィルター装置が照明されることになる。フィルターシステム16のカラーフィルターは、図24、図25、図27と白29の如く4つのフィルター装置のグループに分けられる。フィルター装置24、25、27、29に隣接したピクセル又は発光は、そのピクセルグループに対する所望の色を設けるために選択的に作動される。

本発明は、ディスプレイパネルの各ピクセルを形成するために、透過性又は発光性材料を使用する。そのために、好ましい実施形態は、特定の液晶材料の如く任意の液体を使用し、各ピクセルに対して透過性発光を形成する。他の好ましい実施形態は、各ピクセルに対して透過性発光を形成するために、発光性材料の如く固相材料を使用する。さらに、

て獲得されるよりも高次の量子を設ける。150万を超えるCMOSトランジスタを含む回路が、JSE材料において成功的に作製された。

図2B図に示された如く、図38は、各ピクセルに対するトランジスタ領域37とピクセル電極領域39を規定するためにパターン化される。酸化物40は、それから、各ピクセルの2つの領域37、39の間のチャネルを含むパターン化領域上に形成される。それから、固相絶縁材料38が、nチャネル量子を設けるためにホウ素又は他のp形ドーパント(又は代位的に、pチャネル量子に対してn形ドーパント)を注入44(図2C図)される。

それから、多結晶シリコン膜42が、ピクセル上に堆積され、そして図42は、図2D図に示された如く、n形ドーパントを注入46され、ゲートとして使用される図42の抵抗印を低下させる。ポリシリコンは、図2E図に示された如くゲート50を形成するためにパターン化され、続いて、トランジスタのpソース及びドレイン領域を設けるためにホウ素を大きく注入52される。図2F図に示された如く、酸化物54は、トランジスタ上に形成され、そして図60、56、58が、それぞれ、ソース66、ドレイン64とゲートに接続するように酸化物54を介して形成される。アルミニウム、タンダステン又は他の適切な金属のパターン化金属膜70は、図出ピクセル電極62をソース60に接続し、ゲートとドレインを他の回路パネル形成装置に接続するために使用される。

図2の作製手順は、ガラスに貼り合わされた結晶シリコンの膜(1～5ミクロン)を形成するために開発された蒸着プロセスの一つである。これらの膜は、転写の膜に部分的又は完全に作製されたFETの

如く、階層半導体素子を含む。転移のための四方成長エピタキシャル膜のへの膜 (CLEFT) アプローチを含む前記膜化及び開口手口は、この膜としてここに取り入れた。米国特許第4,727,047号において十分に記述される。化学エピタキシャルリフトオフ (CEL) アプローチは、米国特許第4,846,931号と第4,883,561号において十分に記述される。CLEFTとCELの両技術は、基板の使用を廃止し、基板が開口される膜のアプローチと比較して費用を小さくさせる。SOIウェーハと開口膜を組み合わせることにより、ガラスにおいて要求品質の膜及び回路を形成することができる。

図1は、CELプロセスが、開口のHF (又は他のエッチング液) アンダーカットに対して必要とされた四方成長膜によって閉鎖されることを示す。CELを使用する大面積パネルへの応用は、完全大面積よりもむしろ、パターン化素子及び/又は回路の開口である。というのは、回路又は素子は、エッチングを開口に近接させるために膜を剥いて開口チャネルとして使用される未開口膜を有する。このアプローチは、図2H~2L図に示される。開口基板から回路を除去するために、図1図70 (図2H図) が、ピクセル画にある図36の開口膜において形成される。それから、図34の図2の大口分が、図36の開口が図72上に延びる如く、開口72を形成するために除去される。

図2I図において、支持性76は、開口72と図70を閉鎖するために形成され、図36の一部上に延びている。それから、開口又はヴァイアホール74が、エッチング液が、図34 (図2J図) を開口するために、ホール74又は開口78を介して導入される如く、図36を剥いて設けられる。残りの膜は図36と支持された回路は、支持性7

てコネクタが付加される。図3に、白光114又は他の適切な光口が、図光112に結合される。

回路の素子の断面図が、図8図に示され、この場合ピクセル102と104は、互いに隣に開口される。各ピクセル102, 104は、トランジスタ106と、付随したカラーフィルタ120, 122を有する。図光112, 118が、結合せられた又は開口108と、ガラス又はプラスチックの如く光透過性基板110を含む開口の対向側において開口付けられる。図108は、2~10ミクロンの厚さを有する透明なエポキシ又は低屈折率ガラスである。

CLEFTプロセスは、同様に可能なエピタキシャル基板から、化学気相 (CVD) によって成長された開口膜の開口を廃止する。CELプロセスと同様に、CLEFTプロセスにおいては、回路又は素子は、最初に、ガラスに結合され、開口膜、回路と基板の間で分離される。

CLEFTによって基板から除去された膜は、本質的に低欠陥密度の単結晶であり、ほんの微ミクロン厚であり、結果的に、回路パネルは、開口であり、良好な光透過性を有する。本発明の目的のために、用語「本質的に単結晶」とは、多数の結晶が、少なくとも0.1cm²、好ましくは、0.5~1.0cm²以上の面積において膜の平面における断面積以上に広がることを意味する。

米国特許第4,727,047号に示されたCLEFTプロセスは、次の段階を含む。すなわち、開口膜 (図2H図) 上の所定の開口の成長、開口化と他の位置の形成、膜とガラスの如く図2H図 (又は上図) の間の結合の形成、及びその図による回路の電導性平面に沿った開口であ

るにより図30に図して位置に移動される。図2H図で図化されるエポキシが、光透過性基板80を開口と図36に取り付けるために使用される。それから、図80は、図76の回りのエポキシ84の領域が、図80のエポキシ82が図化される図2H図のままである如く、パターン化される (図2K図)。図30と図76は、図2L図に示された開口を設けるために除去され、所定のディスプレイパネルを設けるために図30される。

UV硬化性膜 (又はテープ) が、必要な場合に、回路を閉鎖するためにパターン化され、そしてHFが、残りの開口に近接するために図30される。

なお、テープが図30される場合に、テープは、開口膜の開口への支持を設ける。図を含む大面積ガラス素子は、このようにして作製され、そしてこれらは、一テープにおいてウェーハから素子を形成するために図30された。図30された回路は、図2L図に示されたガラスと他の基板に図30される。透明開口膜が、開口の厚い方法である。

図2L図に示された回路を形成するために、図2L図に示された回路パネルが、エッチングされ、所定のピクセル回路を開口させる。図2L図及び図30、スペーサー、図2L図と開口膜の結合パッドが、回路パネルに付加される。スクリーン印刷プロセスが、ボーダーを開口するために使用される。カラーフィルタと対向膜を含む図が、スペーサーの開口膜、図2L図により回路パネルに図30される。ディスプレイは、ボーダーを開口している一つ以上の小さな注入穴を介して、図30された液晶材料で充填される。この注入穴は、それから、開口又はエポキシで図30される。図1及び図2の開口又は開口が、両方に結合され、そし

る。基板は、再使用のために利用できる。

CLEFTプロセスは、開口膜の開口において開口膜を形成するために、四方成長エピタキシャル成長を使用して、本質的に単結晶材料のシートを形成するために使用される。シリコンに対して、四方成長エピタキシャルは、ISEプロセス又は他の再結晶化手段によって図30される。代替的に、他の開口膜技術も、必要な開口の本質的に単結晶材料を形成するために図30できる。

開口膜を形成する材料の必要な性質の一つは、膜と半導体膜の間の開口の欠陥である。弱い平面は開口膜によって形成されるために、膜は、劣化なしに、基板からへき図30される。図30は、Si₃N₄とSiO₂の多層膜を具図する。そのようなアプローチは、SiO₂をCMOSの開口の開口を不活性化するために使用される。(Si₃N₄は、図2H図を形成するために図30される膜である。) CLEFTアプローチにおいて、回路は、最初に、ガラス又は他の低屈折率基板に結合され、それから、開口され、UV硬化テープと比較して単結晶を取り扱いとなる。

ISEプロセスにおいて、図30は、図30と、回路を含む図30に図30に付加される。この理由のために、図30の開口を化学的に図30することが必要である。この技術は、開口膜において図30平面を形成するために完全な分向なしに、エッチング液により図30に図30される開口膜を含む。それから、図30は、ガラスが回路と開口に結合された膜、図30的に図30される。

図30の開口は、次の如く図30される。図30の上図は、透明なエポキシでガラスの如く上図に結合される。それから、膜とガラスは、へき図30物として図30の5mm厚のガラス板にワックスで結合される。全図く

さびが、両面を分離させるために、2つのガラス板の間に挿入される。マスクは基板に対して低圧力を有するために、屈は、基板からへき開されるが、ガラスに接合されている。それから、凸部は、CLEF Tプロセスの別のサイクルに対して使用され、そして露光領域が、露光の背面において完了される。なお、露光が上面に付着されているために、背面は、フォトリソグラフィを含む露光ウェーハ処理される。

方法は、さらに、S i 凸部の場合にシーディングにより、開口凸部の場合にシーディングなしの単結晶凸部の開口を含む。シーディングされたS i 凸部の場合に、単結晶再結晶化プロセスが使用される。いずれにせよ、単結晶化又は再結晶化が、側面目的のために凸部化される。

第4図に図示的に示された、再結晶化システムの一実施形態において、凸部凸部は、下方加温炉130によって加熱近くまで昇昇される。上方ワイヤ又は加熱片加温炉132が、サンプル134の頂部を加熱し、移動する加熱ゾーン136により多結晶シリコンを再結晶又はさらに結晶化させる。S i における凸部プロセスにおいて、前方エピタキシーは、下方加温炉を通して小開口からシーディングされ、そして結晶の再結晶化は、凸部の配向を有する。キャッピング炉138は、結晶化の際に、多結晶材料の上に堆積される。

開口凸部の使用は、シーディングを排除する。この場合、本質的結晶品S i は、境界エントレインメント技術により取得される。境界エントレインメントは、再成長領域において成分における開口を挿入するために、側面酸化物又はキャップ層のいずれかをパターン化することにより使用される。凸部フィールドにおける開口は、側面開口の位置を変化させ、予設可能な位置に境界を同位化する。側面酸化物142のパター

ン化が、第5A図に示される。この実施形態において、凸部140は、側面酸化物142で充填された開口150を有する。キャップ146と開口142の間に広がる結晶化材料144における境界148の同位化により、S i 凸部又は開口は、凸部開口の開口に開口する。凸部化と開口は、凸部表面上に位置する。

図示された如く、好ましい技術は、必要に応じて同位化構造により再使用可能な凸部をパターン化することである。いったんこのようにパターン化されると、開口可能な凸部は、再パターン化を必要としない。そのようなシステムにおいて、同位化は、再結晶を完全に閉じたために十分な厚さの材料を設けられる。凸部における材料は、例えば、プレーナー化S i , N₂を含み、一方、開口は、S i O₂のさらに開口を含む。代位的に、凸部は、S i O₂で完全に閉じられる。それから、凸部は、開口エッチングのためのチャネルとして設けられる。

第2アプローチは、第5B図に示された如く、キャップ開口の後に、キャップ開口145をパターン化することを含む。キャップ145のパターン化リッジ147は、キャップ145と開口141の間に広がる再結晶化材料において境界148に閉じる。第3アプローチは、多結晶シリコン開口をパターン化することである。キャッピング開口は、開口凸部で使用される。キャッピング開口は、前サイクルを過ぎて開口性でなければならないが、露光領域のために除去可能でなければならない。キャップは、なめらかなS i 基板に対して良好に作用するが、同位化のために必要なパターン化は、開口を必要とする。

第6〜8図は、ガラス基板への露光の前段で、発明により作成されたMOSFETの凸部性を示す。第6A図は、凸部開口におけるゲート

電圧V_gの関数として、ドレイン電流I_dと相互コンダクタンスG_mをグラフで描き、この場合ドレインソース電圧は、ガラスへの露光の前のMOSFETに対して50mVである。MOSFETは、2501m/201mの短絡長比率と、0.51mの再結晶化シリコン材料において890Aのゲート酸化物厚を有する。第6B図は、ガラスへの露光の際、同一露光のドレイン電流I_dと相互コンダクタンスG_mを示す。

第7A図は、2つのドレインソース電圧V_{gs}=50mVとV_{gs}=5Vにおいて、対数スケールにおいてプロットした、第6A図の露光のドレイン電流をグラフで示す。

第7B図は、ドレインソース電圧V_{gs}=50mVとV_{gs}=5Vにおいて、対数スケールにおいてプロットした、第6B図の露光のドレイン電流をグラフで示す。

第8A図は、V_{gs}=0、1、2、3、4と5ボルトのゲート電圧において、第6A図の露光のドレインソース電圧の関数として、ドレイン電流I_dをグラフで示す。

第8B図は、V_{gs}=0、1、2、3、4と5ボルトのゲート電圧において、第6B図の露光のドレインソース電圧の関数として、ドレイン電流I_dをグラフで示す。

CLEF Tアプローチに対して、さらに他の実施形態は、ガラス板における側面開口の再取り付けを含む。出口の方法は、開口半円状と接点剤の間の一般的な密着を確保するが、開口において他の欠陥を挿入しない。

方法としては、分離される開口の前面側へのApiezon Wワックスの塗布が挙げられる。ワックスにおける応力は、凸部を引上げ開口に伝え、これにより、エッチング前面へのエッチング液の接近を可能にする。

エッチング前面への接近は、はがされる全領域の外縁からのみ達成される。

しかし、2cm x 2cmよりも大きな領域に対して、露光又は露光まで延長される長いリフトオフ時間のために、このプロセスは、大面積リフトオフを含む応用に対して使用を限定される。凸部性は、エッチング前面へのエッチング液の接近を増大させるために必要とされる。しかし、リフトオフのために必要な凸部性は、低圧ワックスによって生じ、その結果、凸部凸部は、このワックスが存在する間行かない。存在するサンプルは、しばしば、凸部の再使用を許容しないサイズまでへき開される。ワックス塗布プロセスは、自動化され、この開口が好ましい応用における凸部の再使用を許容するためにパターン化可能である。このプロセスは、凸部凸部を必要としない凸部の小領域に対してのみ使用される。

露光の別の実施形態は、開口リフトオフプロセスにおいて凸部ワックスに開口を閉じるために凸部の凸部凸部の開口又は開口材料の組み合わせの使用に似る。このプロセスは、第9A〜9C図に示される。正しい凸部を使用することにより、リフトオフのために必要な凸部凸部は、開口における応力により近せられる。開口は、はがされる材料に関して正しい凸部凸部を有するならば使用される。この方法は、リフトオフ凸部において正しい凸部凸部を伝え、凸部において平坦であり、そしてまた、凸部凸部を支持する支持層を可能にする。

露光のこの実施形態は、第9A〜9C図の凸部200に関連して説明される。エピタキシャル開口又は露光が形成される適切な凸部材料を含む凸部202が、設けられる。側面開口204は、凸部202において、好

ましくはCVDにより成長される。薄膜シリコン制御可能層に対して、 SiO_2 層が、前述の如く使用される。

半導体層構造206は、同様にCVD又は他の前述の方法により、制御層204において形成される。構造206は、好ましくは、発明によるトランジスタの配列の作製のために配置した材料を具備する。

例えば、CVDを使用することにより、構造206は、非常に薄く、すなわち、約5ミクロン未満、好ましくは、2ミクロン未満にされ、接触層は、0.1ミクロン厚よりも小さい。

必要なドーパントは、一般に、ソース、ドレイン及びチャネル領域を規定するために、成長プロセスの後、拡散又は注入により導入される。次に、構造206は、従来の技術を使用して、前面又は頂面において処理され、ゲートと各ピクセルが位置する金属接点と、必要に応じて、バスバーとボンディングパッドを形成する。

第1のリフトオフ実施態様において、被覆208が、前面処理構造206において形成される(第9A図)。被覆は、種々の熱膨張係数の厚又は薄膜材料の組み合わせから成る。例えば、被覆208は、窒化物、金属、バイメタル又はガラス応力被覆を具備する。接触金属被覆(不図示)はまた、接触層においてこの時に塗布される。

被覆層208と構造206は、従来のフォトリソグラフィーを使用してパターン化され、そして被覆材料208と構造206は、適切な選択性エッチング液によるエッチングにより、第9B図に示された如く、所定の領域において制御層204まで除去される。上記の段階は、被覆208の被覆材料の間に大きな熱応力が生成されない、十分に低い所定の温度において行われる。次に、温度は、十分な温度まで昇温され、被覆

して記載される。この場合第9図において対応する項目は、第10図と同一参照番号を保持する。第10A図の部分斜視断面図に示された如く、基板202には、制御層204を形成してあり、素子構造206によって従われ、すべては第9図に関連して記載された如くである。構造206へのボンディングパッドと金属接点(不図示)の如く、すべての前面処理が、完成される。

溶解又はエッチング可能でない状態から溶解又はエッチング可能な状態(又は逆)に変換される材料は、前面処理構造206において形成される。例えば、UV硬化性エポキシ230は、構造206上に広げられる。このエポキシは、UV光への露出により溶解性でなくなるという特性を有する。

材料のUV光透過性マスク制御層232は、エポキシ230上に形成され、そして開口236を有するパターン化不透明マスク234が層232上に接着される。

マスク234は、UV光を照射され、マスク開口236の下側のエポキシの領域を硬化させ、未硬化状態よりも溶解性でなくする。制御層232は除去され、そしてマスク234が除去される。次に、未硬化エポキシは、制御層204(第10B図参照)までの如く、溶剤によって除去される。

硬化エポキシ230は、制御層204からの分離後、薄膜構造206のための支持物として設立するために、構造上に残される。このように、エッチング前面は、制御層204までチャネル240をカットすることにより、構造の全頂面領域を小領域に分割することにより増大される。

ウェーハサイズリフトオフのための第2方法は、引き上げられる全

208において熱応力を生じさせる。この昇温において、構造は、制御エッチング液に露出される(第9C図参照)。

制御エッチング液は、究極的に、制御層204を十分にエッチングし、被覆208によって支持した分離素子構造206を除去させる。それから、これらの構造は、熱応力が解放される低温にされ、個別素子を続く裏面処理に対して平坦にさせておく。

このプロセスは、個別チップを裏面処理に対して平坦にさせ、支持構造が裏面処理温度に対して、不浸透性のガラスの如く材料から形成されることにおいて、Gmiller他の黒ワックスプロセスに対する大きな利点を設ける。

2つの異なる手順が、ウェーハスケールリフトオフを遂行するために使用される。第1方法は、転移される膜が形成される全基盤のエッチングに係わる。これは、「エッチバック」手順と呼ばれる。

第2方法は、ウェーハ又はサンプルのみの縁から制御層にアクセスし、一つの大きなシートとして材料を制御する。この第2方法は、同一ウェーハから引上げられた素子間にレジストレーションを必要としない場合に対してである。登録が望まれないならば、自動化手順が、個別素子の大幅又は材料の領域のリフトオフに対して使用される。前面処理が完了した後、UV硬化エポキシが、所望のパターンで硬化され、必要な場所を除去され、それから、制御層までのエッチングのためのマスクとして使用される。UV硬化エポキシは露され、分離後の引上げられた膜のための支持物として作用する。分離素子は、エッチング液から回収される必要があり、選択及び場所別方法を使用して、別個に処理される。

これらの代替的なリフトオフプロセスは、第10A-10E図に関連

域を小領域に分割することにより、エッチング前面の量を増大させる。チャネルが、引き上げられる材料の全領域にカットされ、これにより、制御層を露出させる。これらのチャネルは、領域を完全に分離するか、又はリフトオフ領域に部分的に切り込むスリットから成る。

第2方法は、互いに関して材料の小領域を登録し、同時に、露出された制御層への大きな接近をエッチング媒体に許容しようとする問題を扱う。これを行う能力により、溶液からの容易な回収、裏面におけるウェーハスケール処理、及びエッチング前面の小領域と最大露出による短いリフトオフ時間が許容される。このアプローチの重要な特徴は、すべてのエッチング前面へのエッチング溶液アクセスを設けながら、全ウェーハ領域のレジストレーションを許容することである。

素子間のレジストレーションが、トランジスタの配列における如く必要とされる場合に、第10C-10E図の代替的实施態様のリフトオフ方法は、多数の利点を設ける。

第10C図のこの代替のプロセスは、互いに関して小素子又は材料のピクセル領域を登録し、同時に、露出制御層へのエッチング媒体アクセスを許容しようとする問題を解決する。これを行う能力により、溶液からの容易な回収、裏面におけるウェーハスケール処理、小領域と最大エッチング前面による短いリフトオフ時間が許容される。このアプローチはまた、すべてのエッチング前面へのエッチング溶液アクセスを設けながら、全ウェーハ領域を通じて素子のレジストレーションを可能にする。第10C図を参照すると、ウェーハの矩形部分区分が示される。ウェーハは、制御層204がCVDによって堆積された半導体基板202から形成され、続いて前面処理トランジスタパネル206によって従われ、

すべては前述の如くである。

未硬化液体UVエポキシ250の如く、成形可能な材料が、図206の頂面又は側面に広げられる。前記図206からの断面図は、プラスチックの如く透明材料製の多孔プレーナ基板252が、エポキシ250の頂面に位置させられる時、次の段階において発生する。孔256は、格子252の平面に直交する平面を貫通している。

孔256を囲うように並列された不透明層258を有するフォトマスクが、それから、格子252上に貼付される(図10C)。オプシオンのUV透明マスク開口(不図示)が、マスク除去を容易にするためにマスク258と格子252の間に形成しても良い。) UV光は、マスクに照射され、図10Dに示された如く、不透明層258の下を除いてすべての場所を下側エポキシ254を硬化させる。この場合エポキシ250の硬化区分は図206で示され、未硬化区分はブランクで示される。マスク258は除去される。未硬化エポキシ250は、適切な溶剤によって開口256から除去され、図206は、開口を避けて図204までエッチング除去される。それから、開口は、上で取られた如く、開口256を覆ってエッチング除去される。エッチング液のアクセスは、こうして、ウェーハの多数の点において達成され、配列が硬化エポキシ254によって格子252に付与される(図10E図参照)。

レジストレーションへの別のアプローチは、開口204までエッチングすることにより格子材料において直接にチャンネル260を形成し、これにより、材料のみにチャンネルを形成することである(図11A)。これらのチャンネルはまた、図9のUV硬化エポキシパターンニング方法を使用し、開口204までエッチングすることにより(図11B図

に良好に作用する単純な方法は、フォトレジストマスクングによって材料206において直接にチャンネルを形成し、続いて、開口204までエッチングすることである。これは、開口204の上の材料の高さに等しい材料においてチャンネル260を形成する。次に、エッチング液は、引き上げられる開口の露面に注かれ、あるいはウェーハが、エッチング液に浸される。いずれにせよ、引き上げられる図206の間のチャンネル260は、エッチング液材料で充填される。これが行われた後、リフトオフの図206を覆うレジストレーションを剥離する上側支持物は、開口に充填された貼合せ方法により図206の前面に付与される。上側支持物は、材料206に固定され、一方、ウェーハは浸され、あるいはエッチング液は、ウェーハの前面を覆い、チャンネルを充填する。支持材料は、形成されたチャンネルをふさがず、これにより、エッチング液を押し出さないほど十分に剛性でなければならない。適切な支持材料は、ガラス、プラスチック又は他の充満性物質を具する。これは、エッチング液アクセスを必要としない固体支持物を使用し、こうして、プロセスを非常に単純化する。

トラップされたエッチング液は、開口204を十分に掃除させ、その結果、図206は、上面が鋭く鋭い、すなわち、上面が鋭く鋭い化とボンディングパッドの形成のために露出され、支持物によって支持かつ固定される時、除去される。上記の支持材料のほかに、小形格子を取り扱うために開口において非常に公知なUV開口テープが、図206の理由のために図206に示された支持物であることがわかった。これらのテープは、強いUV放射線に露出された時、硬化力をほとんど失うという特性を有する。さらに、硬化は、硬化剤に反応を与えるのではなく、そして液

参照)、又は図11C図の平面図に示された如く、開口される図207の間にチャンネル260又はアクセス路を形成する他の方法を使用することにより、より高くされる。図208は、チャンネル260上の材料270に取り付けられ、それから、エッチング液が、チャンネルに沿って流され、これにより、ウェーハの中心へのエッチング液のアクセスを与える(図11D~11E図)。高いチャンネルは、高圧開口を避けるために開口作用を加えるために役立つ。真空封、開口封、口を含む他の方法もまた、チャンネル260でのエッチング液の移動を加えるために使用される。

同一図に沿って、チャンネル260は、下の開口を露出させるために格子材料において作られる。それから、多孔性材料が、スピン塗布され、あるいはそうでなければ、前面に形成又は付与される。この材料は、UV光、熱、又は溶剤処理により硬化された時、開口又は開口であり、このため、基板からの開口、引き上げられた開口を支持することができる。材料は、エッチング液によって選択的に作用されるに、エッチング液を通過するために十分に多孔性である。このようにして、エッチング液は、多孔性材料を通過し、開口において開口へのアクセスを与えられる。

別の開口図において、開口エッチング液は、下側開口206に図206に取り付けられる時に、開口と接触される。このプロセスが作動するためには、チャンネル260は、エッチング液がトラップされる、引き上げられる材料の格子又は開口の間に形成されなければならない。このプロセスは、次の如くである。チャンネル260は、図202において開口204を露出させるリフトオフ図206の間に形成される。これは、格子面にチャンネルを形成する前述の方法により行われる。非常

体に浸されたとしても、良好に塗布される。これらのテープは、単独で、又は他の支持物と組み合わせて使用される。この付加支持物は、耐久的でなければUV放射線に耐性のある材料から形成され、そしてそれは、使用されるエッチング液によって選択的に作用されるべきでない。

UV開口開口は、テープの材料の代わりに、他の支持材料に直接に塗布される。図12A~12C図に示された如く、両面UV開口テープ282と組み合わせた支持物280が、使用される。テープ282の一方の面が、支持物に接合される。それから、他方の面が、エッチング液が塗布された時に、図206の前面に開口される。それから、エッチング液は、格子206をアンダーカットすることを許容される。格子は、図12A図に示された如く、支持物280に開口テープによって付与される。リフトオフ時間は、エッチング液がウェーハの露出する部分の点から開口へのアクセスを有するために、非常に短い。

このように、格子は、相互に固着して固定され、そして露出する支持物280によって支持される。

テープの開口力は、支持物を避けたUV照射によって開口され(図12B図又は図12C図)、そしてテープは、格子を開口したまま、キャリア280から取り外される。いっそうのUV照射は、格子を開口口によって除去させ、又はテープから他のテープ284又は図288(図12B図又は図12C図)又は他の図に示されるエポキシ286に図206に低圧させるために十分な密度で、テープへの格子の開口力を減少させる。0.5cm幅の開口幅が、この非熱方法によって引き上げられた。引き上げられ、同時に固定される全ウェーハサイズは、ウェーハサイズによってのみ制限される。

示された如く、代替的実施態様は、UV硬化接着性テープとエポキシの採用に係わる。該テープは、開口トランジスタとCMOS回路要素をガラスに貼合せるために採用される。該テープは、 $14'' \times 14''$ 以上の板に塗布される。塗布方法としては、スピンコーティング、蒸気凝縮、スプレー、必要な親和性と光学品質を確保するための開口部塗布プロセスが挙げられる。

別の好ましい実施態様は、回路パネルにおいて密接な間隔でない開口に密接な開口の素子を転写する方法を含む。図13A図、図13B図と図13C図に示された技術は、素子が正しく位置付けられるまで、伸縮性テープ又は口の引き伸ばし又は収縮を使用する。この技術はまた、前述のリフトオフ手段、及び類似的方法又は引き伸ばしと類似の方法の組み合わせを含む。簡便的に利用可能な素子は、口の引き伸ばしを正確に開口するために採用される。切欠要素の正確なレジストレーションを設けるために引き伸ばし及び収縮中、素子の間隔を測定するために、多数の方法が採用される。

前述300に関連して図13A図に示された如く、トランジスタ又は開口半導体領域の配列304が、伸縮性基板302に転写された。トランジスタ又は開口304は、上述の手順により、又は他の適切な手順を採用して、作図かつ転写された。基板302は、該テープを開口する。

第1実施態様において、前述は、図13B図に示された如く図306に沿って引き伸ばされ、これにより、図306に沿った素子304間の開口308を増大させ、別の方向において素子間の開口310を同一にしておく。それから、基板302は、図13C図に示された配列を生成するために図314に沿って引き伸ばされ、この場合素子304は、一

る間隔を発生させるように位置付けられる。図358は、素子304の間の開口が正確に規定される如く、基板354に照するビーム352の移動を制御させる。図358は、素子の選択行又は列の間隔に調整が行われる如く、引き伸ばし図360に図式的に説明される。

引き伸ばし図360は、基板354が開口された面を通して押されるピストンから成る。基板354に対して面を押ししたピストンの移動は、素子304間の間隔を増大させるために正確に規定された方法で基板354を引き伸ばす。

代替的に、開口に沿って基板を保持し、適切な方向に基板を正確に引張る、図15図に示されたものと同様な引き伸ばし装置が同様に入手可能である。

引き伸ばし後、置かれた素子は、ガラス、ポリエステル又は充弁(LCD)作図用の他の適切な基板に転写される。代替的に、素子は、ディスプレイ作図用の発光素子に取り付けられる。

前述の如く、他の好ましい実施態様は、エレクトロルミネセント口、発光ダイオード、多孔性シリコン又はディスプレイの各ピクセル要素を形成するための発光材料の如く、発光性材料を採用する。そのために、本発明の別の好ましい実施態様は、図16A図におけるエレクトロルミネセント(EL)パネルディスプレイの斜視図において示される。ELディスプレイの基本構成要素は、アクティブマトリクス回路パネル414、底電極423、エレクトロルミネセント領域416、頂部電極417、及び光透過性口419を含む。これらは、口化構造において固定される。EL領域416は、2つのプレーナー電極417と423の間に位置付けられ、EL構造を隔った開口を客観的に制限する

方向の方向において開口308を有し、直交する方向において開口312を有する。

別の実施態様において、図13A図の前述300は、図13C図に示された配列を設けるために、方向306、314において開口に引き伸ばされる。

開口の技術は、図14A図と図14B図に示される。テープにおいて素子320のリフトオフ配列で開始される。このテープ322は、図326に沿って左右に、図328に沿って上下に移動するフレーム324に置かれる。たかみ性テープ334を有するドラム330は、その周囲に置かれる。それから、図340が、素子324に押し出され、素子の第1行をドラムテープ334に押し出す。ドラムテープ334は、必要な角度において方向332において開口付けられ、図340は、図338の素子の第2行をテープ334に押し出す。これは、すべての行が転写されるまで続けられる。素子336の行を有する第1ドラムテープ334は、フレーム324に置かれる。同一動作は、行を折ドラムテープ339に転写することにより続けられる。

別の実施態様は、一方の方向においてテープを引き伸ばし、これを別のテープに転写させ、他方の方向にそのテープを引き伸ばし、そして素子を位置支持領域に転写することである。この方法は、小形の開口素子に対して十分に適する。

転写又は開口基板において素子304間の開口を規定するためのシステムが、図15図に図式的に示される。レーザー350は、基板354の方向にビーム352を指向させ、口を形成する。センサー356は、透過及び/又は反射光を出力し、ビームが素子304によって口向され

ることにより、適切な口間隔を防止し、そしてまた、信頼性を高めるために役立つ。図362と423は、開口間隔を有し、その結果として開口部において開口子を生成することを必要とされる開口部において有益である。ディスプレイの客観構成は、各開口部に開口して開口部を生成することにより完成される。これらの開口部の一方は、ピクセル配列422内に形成され、そして他方の開口部は、光をディスプレイから出させる光透過性口419である。

回路パネル414に形成されたピクセル422の配列は、回路回路によって個別に作図される。回路は、各ピクセル422が、ピクセル口と口419の要素の間のエレクトロルミネセント領域416において開口を生ずる如く、配列に調整して位置付けられた第1及び第2開口形成領域418、420を有する。口部は、EL領域424を照明させる。

エレクトロルミネセント領域416は、単色ELディスプレイを有する好ましい実施態様に対して単一色発光域から形成される。別の好ましい実施態様において、EL領域416は、カラーディスプレイを設けるために複数のパターン化発光域から形成される。発光域は、各カラーピクセルが、赤、緑、及び口発光域を含む如くパターン化される。ELカラーディスプレイは、口部としてここに取り入れた、Barro他への国際特許PCT/U88/016880において開示されたELディスプレイ形成プロセスに基づいて形成される。図16B図を参照すると、各EL領域424は、図478、482、図478と図480の如く単一カラー要素に分割される。

所与のEL要素424に対して単一カラー要素を照明するために、図16B図は、底電極462の一つと透明電極419の間に開口を形成さ

せる。選択された照明用カラー要素に対して、蛍光体の発光中心は、境界が感知のしきい値を超過する時、電子の流れによって所望励起される。それ自体、ピクセル422は、ピクセルグループに対して照明カラーを盛けるために選択的に作られる。

アクティブマトリックスピクセル配列は、ピクセルの励起を制御するために、ディスプレイにおける各ピクセルと同じ場所に位置するトランジスタ(TFT)を使用する。ELディスプレイに適用された時、アクティブマトリックスアプローチは、回路パネルにおけるパワー消滅の微小とAC共通ドライバーが動作する位置の微小を含む大きな利点を盛ける。有益なELアクティブマトリックスの形成は、高圧と高抵抗で動作するTFTを必要とする。単結晶シリコンは、小形(61n×61n以下)のアクティブマトリックスELマトリックスにおいて高抵抗を達成するために好ましい。

ELディスプレイにおいて、一つ以上のピクセルが、励起回路に接続された行及び列相互接続により各ピクセルに盛けられる交流(AC)によって付与される。相互接続によるACの効率的な励起は、寄生容量によって制限される。しかし、アクティブマトリックスの使用は、相互接続の容量の大きな微小を盛け、ピクセル蛍光体におけるより効率的なエレクトロルミネセンスと高明るさを獲得するために、高周波ACの使用を可能にする。本発明により、この利点を盛けるTFTは、バルクSiウェーハ又は単結晶又は本質的単結晶シリコンの回路の如く、単結晶ウェーハにおいて形成される。これらの商品質TFTは、ELパネルディスプレイにおいて使用され、高抵抗と低抵抗を盛けるとともに、エレクトロルミネセンスのために必要な高圧レベルをサポートする。

トランジスタX1におけるゲートが、ソース上のしきい値まで上昇されるならば、電流が、正AC励起パルス中、トランジスタX1を流れて流れる。分路ダイオードD1の存在は、ゲート電圧に拘わらず、逆方向に電流を流れさせ、その結果、高ゲート電圧により、電流は、正及び負励起中、トランジスタX1を流れて流れる。このため、EL図429は、励起されており、そしてゲートが高に保持される限り、照明される。ゲートが低、すなわち、しきい値 V_t よりも低い電圧に保持されるならば、トランジスタX1は、正励起パルス中励起しない。こうして、EL図429は、一週間の負パルスを受け、第1負パルス中パルス位置まで帯電し、ダイオードD1の整流作用により正パルス中放電を防止される。このため、単一照明期間の間、EL図429は、全電圧と励起キャパシタ426bと426cが一定にとどまるために、受電にとどまる。

図16C図に戻ると、図425の第2のユニークな特徴は、2つの電圧のみで制御されることである。第2の特徴は、pチャネルMOSトランジスタ421aとダイオード428の使用を通して、本回路において達成されるものである。ダイオード427は、電圧方向又は垂直方向として作られ、全電圧又は励起性をあまり付加しない。ダイオード427は、NMOSトランジスタ421aが対体素子であるために必要とされ、回路とディスプレイを不動作にする照明期間中、キャパシタ426aを放電させる。

図425の性能を促進するために、回路分析が行われた。図425は、まず、分析において低電圧を選択図413(0ボルト)に印加することによりキャパシタ426aを充電させ、それから、(この分析において0.5〜2ボルトの電圧において)所望の電圧にデータ線411

好ましい単結晶シリコンにおいて、単結晶(SOI)において形成した単結晶シリコンは、ELディスプレイを駆動するために必要な高圧回路の形成を容易にする。さらに具体的には、ISEプロセス又は他のSOIプロセスによって形成された単結晶シリコンは、TFTのための高圧DMOS回路とともに、ドライバーと他の回路要素のための低圧CMOS回路の作成を容易にする。

EL単色ディスプレイを制御するためのDMOS/CMOS励起回路の構成が、図16C〜16D図に示される。各アクティブマトリックスELピクセル回路425は、それぞれ、CMOS及びDMOSトランジスタ(TFT)421a、421bを含む。キャパシタ426a、426bと426cは、AC EL励起において励起存在する寄生及び阻止キャパシタを整理する。その初的な外観に拘わらず、各ピクセル回路425は、最大1000個/インチの配列密度でさえ、ピクセル電圧の小部分のみを占有に占有する。EL単色ディスプレイのための励起回路は、同電圧の目的のみのために示される。ELカラーディスプレイに対して、各ピクセルの励起回路は、赤、黄又は青色励起を励起するために選択的に作られる3つのピクセル回路425を具する。

図16C図を参照すると、ピクセル回路425の2つのユニークな見地がある。第1は、励起回路の出力におけるDMOSトランジスタ421bの使用により、ELディスプレイが428におけるAC励起信号で励起されるものである。この特徴は、DMOSトランジスタを写像することにより認められる。

図16D図を参照すると、DMOSトランジスタ421bの励起回路が、分路ダイオードD1を有するNMOS素子X1を含む。NMOSト

を昇させることにより動作する。充電シーケンスの間、キャパシタ426aは、データ及び選択励起信号レベルの間の差にはほぼ等しい電圧からダイオード427の順電圧降下を押し引いた電圧まで充電される。出力トランジスタ421bをオンにするために、選択図413は、最初に、約1ボルトまで増大され、そしてデータ線411は、−2ボルト〜0ボルトにランプされる。出力トランジスタ421bは、キャパシタ426bに充電された電圧に正比例する時間に対してオンのままである。このようにして、グレースケールが、図425によって達成される。

好ましいELディスプレイ形成プロセスは、単結晶シリコンの形成、シリコン膜におけるアクティブマトリックス回路の作成、及び発光性要素を形成するためのEL材料の一体化を含む。そのために、図17A〜17K図は、シリコンオン絶縁体(SOI)膜を形成するための分門シリコンエピタクシー(ISE)プロセスとともに、回路パネル回路を形成するためのISE膜における高圧DMOS素子と低圧CMOS素子を作成するためのプロセスを示す。なお、ISEプロセスが示されるが、任意の他の技術が、単結晶Siの膜を盛けるために使用される。

図17A図に示されたものの如く、SOI膜は、厚さ430と、厚さ430上に成長又は形成された(例えば、SiO₂の如く)酸化層432を含む。多結晶シリコン膜は、酸化層432において形成され、そしてポリSi膜は、(例えば、SiO₂の如く)キャッピング層436でキャップされる。構造は、端点の近くまで加えられ、そして図17B図が、ウェーハの頂面上を調査する。加えられた酸化層の間にトラップされたシリコン膜を溶解させ、再結晶させ、全領域単結晶シリコン膜434を生ずる。

シリコン434の平坦化層は、こうして、酸化層（又は絶縁体）がSi表面の下に埋め込まれる如く、酸化層432上に形成される。ISE SOI製造の場合に、キャッピング層が除去された後、頂部層は、本質的平坦化の平坦化シリコンであり、これからCMOS回路が作製される。埋め込み層の用途は、従来のバルク材料において置かれたよりも高濃度の不純物を供給する。150万を越えるCMOSトランジスタを含む回路が、ISE材料において成功に作製された。

図17B図に示された如く、シリコン434は、各ピクセルに対して個別アイランド437、438を形成するようにパターン化される。それから、酸化層435が、アイランド437と438の間のチャネル448を含むパターン化領域上に形成される。フリンウェルは、プロセスが、p及びnウェルを形成するために使用される。nウェルを形成するために、酸化ケイ素アイランド439が、pウェルであると指定されたアイランド438を分離するために形成される（図17C図）。残りのアイランド437は、続いて、nウェル441を形成するためにnドーパントを注入される。pウェルを形成するために、酸化層442が、p形ドーパント443からアイランドを分離するためにnウェル上に成長され、そして酸化ケイ素アイランドが、除去される（図17D図）。分離アイランドが、pウェル444を形成するために、p形ドーパント443を注入される。フリンウェル形成に続いて、酸化層が、活性領域を形成するために、シリコンアイランド441と444の表面に成長される。さらに具体的に、酸化層446は、比較的均一な厚さまでエッチングされ、そして酸化ケイ素アイランド447が埋め込まれる（図17E図）。次に、酸化層が、厚いLOCOSフィールド酸化

フィールド酸化層上のポリシリコンゲートとフィールド酸化層の間の間の厚なり口である。DMOS素子におけるゲート厚はまた、これらのパラメータの幾つかの関数であるとともに、素子の全サイズの関数である。好ましい実施例は高密度配列（1Mピクセル/ in^2 ）を含むために、ピクセル面積と、このため、トランジスタサイズは、できる限り小さく保持される。

図17L図を参照すると、回路パネルは、順位的に基板430から除去され、EL発光体を形成したガラス板431に転写される。除去プロセスは、図17L図において記載された如く、CEL、CLEFT、又はバックエッチング及び/又はラッピングを具口する。

図18A~18D図は、エレクトロルミネセントカラーディスプレイの作製プロセスの断片を示す。前述の如く、この作製プロセスは、砂皿としてここに取り入れた、Barrow社への図面出口PCT/US 88 01680において開示されたELカラーディスプレイ形成プロセスに基づく。ELディスプレイ形成プロセスは、単色又はカラーディスプレイであろうと、発光性層スタックの間の逐次増口を具口する。発光層は、各カラーピクセルが、赤、青、及び黄緑発光体を含む如くパターン化される。赤色は、赤成分のみを具口するために、白色ZnS:S:Mn発光体で置き換えることにより具口される。即ち黄緑発光体は、所望のスペクトル領域における発光のために、Mn以外の成分を有する。

ELディスプレイの第1層は、底部電極である。好ましいELディスプレイ形成プロセスにおいて、底部電極は、回路回路においてトランジスタのソース又はドレイン金属化を具口する。この電極は、ELパネル

領域451の間に活性領域450を形成するために、シリコンアイランド441と444の表面の周りに成長される（図17F図）。それから、ポリシリコンは、高圧DMOS素子のゲート453と低圧CMOS素子のゲート454を形成するために増口され、パターン化される（図17G図）。なお、DMOS素子のゲート453は、フィールド酸化層領域451上の活性領域450から延びている。活性領域450上のゲート453の厚は、pチャネル領域のための低電圧として使用され、フィールド酸化層領域451上のゲートの部分は、nウェルドリフト領域において電圧を具口するために使用される。

チャネル領域に続いて、nチャネルとpチャネルソース456、459とドリフト層457、460が、ヒートとウエルの注入を使用して形成される（図17H~17J図）。次に、ボロファスフロシリケートガラス（BPSG）フロー層458が、形成され、そして開口が、DMOS素子のソース456、ドレイン457とゲート453とともに、CMOS素子のソース459とドレイン460に位置するように、BPSG層458をエッチして形成される（図17K図）。さらに、アルミニウム、タングステン又は他の適切な金属のパターン化金属層462が、素子の他の回路パネル形成領域に延びるために使用される。好ましいプロセスは、9つのマスクを具口し、高圧DMOS素子と低圧CMOS素子の作製を許容する。

DMOS素子の高圧特性は、開口の幾つかの次元とともに、低電圧されたpチャネル及びnチャネルドリフト領域のドーピング量による。主要な物理的次元は、nウェルドリフト領域の長さ、活性領域におけるポリシリコンゲートの厚と下層フィールド酸化層の厚の間の間隔、及びフィ

の発光効率を増大させるために、所望の波長の高反射のために最適化される。図18A図を参照すると、作製プロセスは、底部絶縁体423の堆積で始まり、好ましくは、回路パネル414のアクティブマトリックスの全断面を覆う。第1カラー発光体層476は、アクティブマトリックス上に堆積され、パターン化される。第1エッチストップ層477が堆積され、そして第2カラー発光体層478が、堆積され、ストップ層上にパターン化される（図18B図）。第2エッチストップ層479が、堆積され、第3カラー発光体層480が、堆積され、第2ストップ層上にパターン化される。

図18C図を参照すると、パターン化発光体層416の配列は、頂部絶縁体417で被覆される。2つの絶縁層417と423は、頂部電極とアクティブマトリックス回路パネルの間の連絡点を具口させ、そしてまた、外部回路が回路回路に作られる開口から材料を除去するためにパターン化される。酸化インジウムスズの如く発光性材料から形成した頂部電極419が、堆積され、頂部電極417上にパターン化される（図18D図）。頂部電極の堆積は、発光層416とアクティブマトリックス回路414の間の回路を完成するために役立つ。それから、赤フィルター482が、堆積され、赤ピクセル上にパターン化され、又は代替的に、カバーが使用されるならば、シールドカバー板に埋め込まれる。赤フィルター482は、所望の赤色を生産するために出力されたZnS:Mn発光体（白色）の所望の赤成分を増加させる。

代替的に、EL開口スタックは、アクティブマトリックス回路パネルが、前述の低圧プロセスによって低圧されるガラス又は他の基板に形成される。さらに別のオプションは、ヘルメット密封及びその湾曲

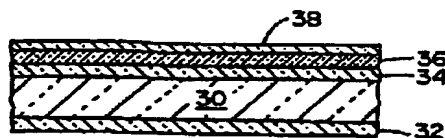


FIG. 2A

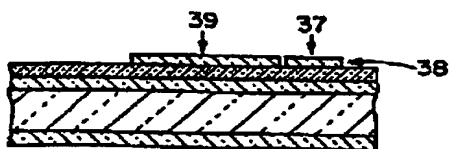


FIG. 2B

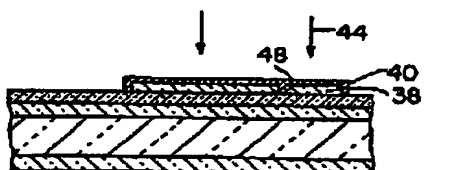


FIG. 2C

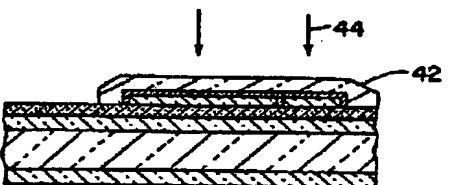


FIG. 2D

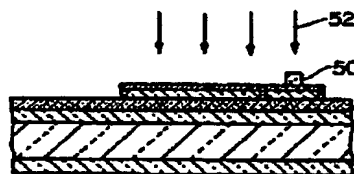


FIG. 2E

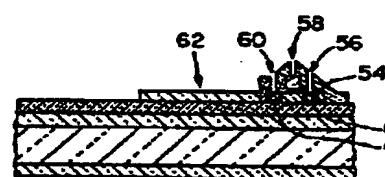


FIG. 2F

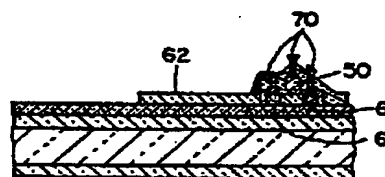


FIG. 2G

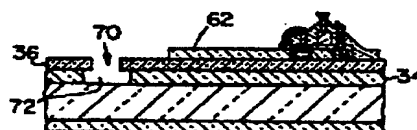


FIG. 2H

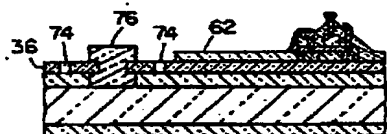


FIG. 2I

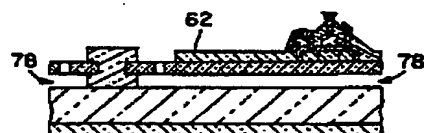


FIG. 2J

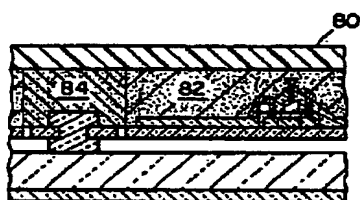


FIG. 2K

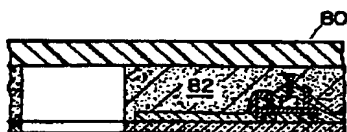


FIG. 2L

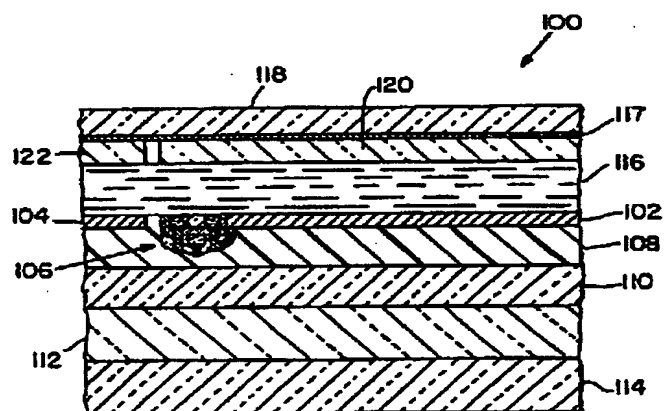


FIG. 3

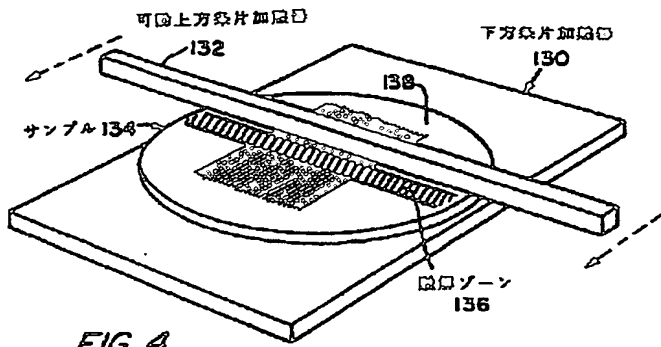


FIG. 4

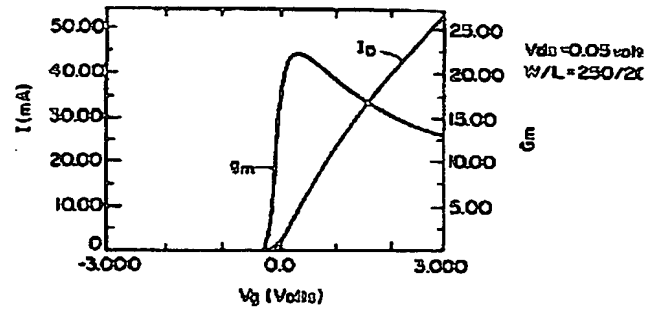


FIG. 6A

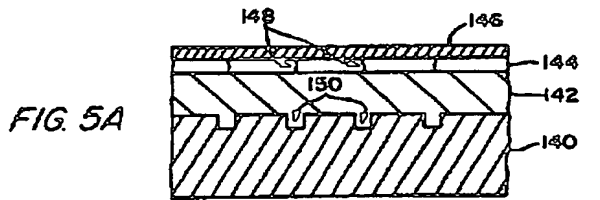


FIG. 5A

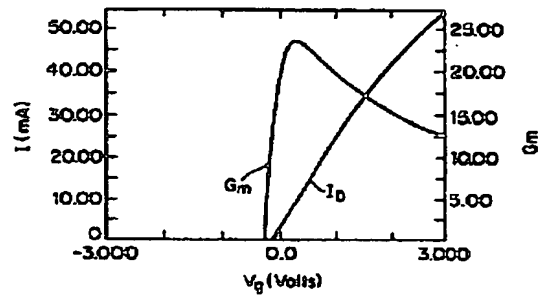


FIG. 6B

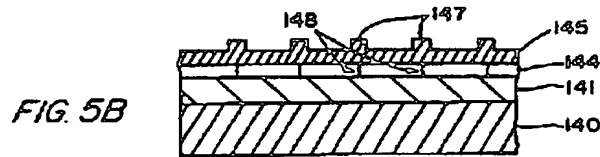


FIG. 5B

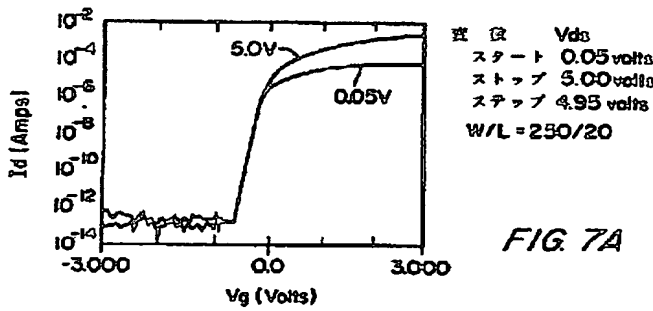


FIG. 7A

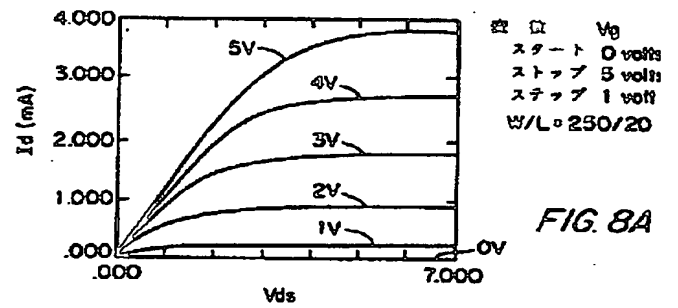


FIG. 8A

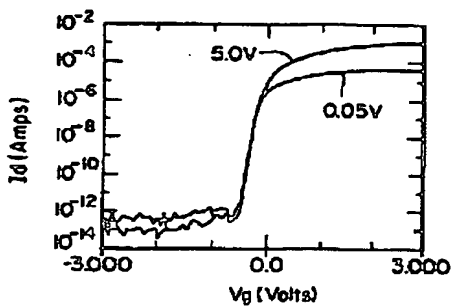


FIG. 7B

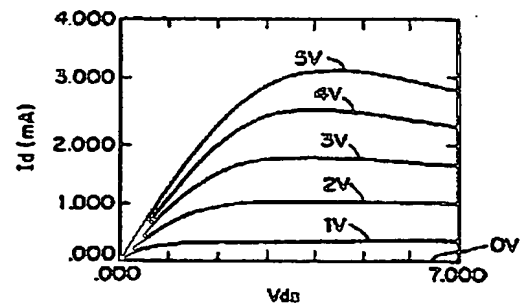
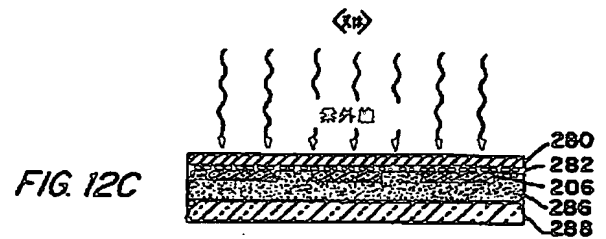
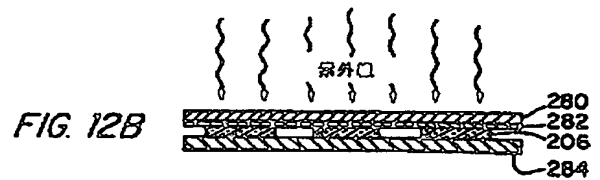
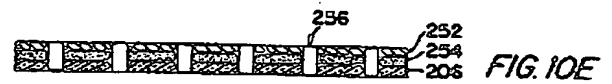
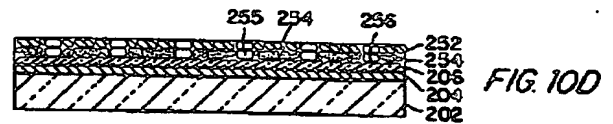
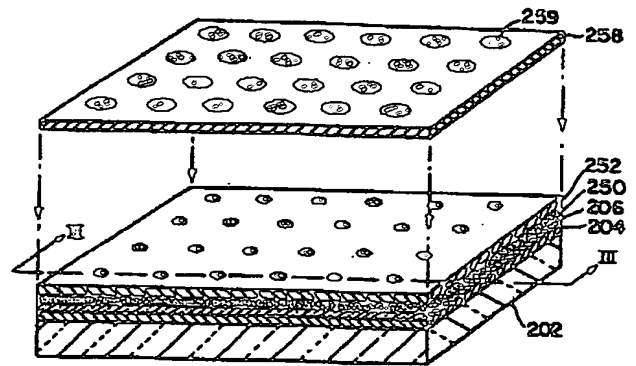
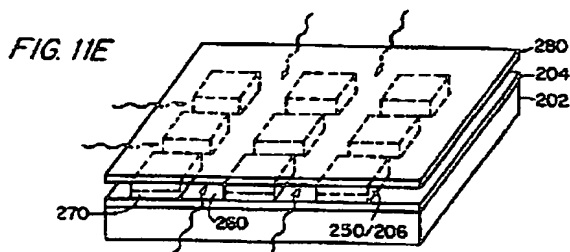
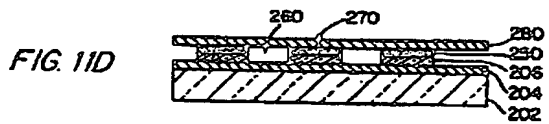
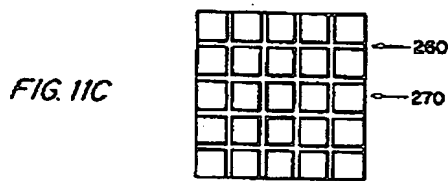
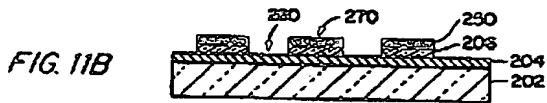
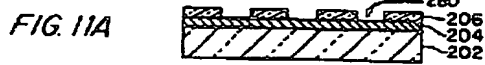
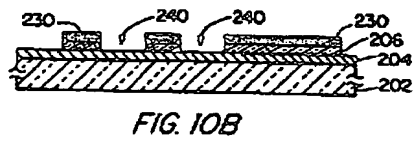
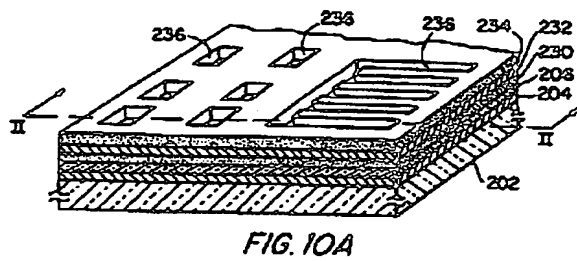
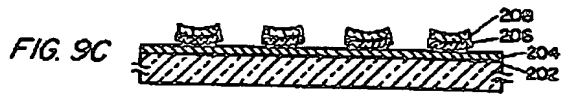
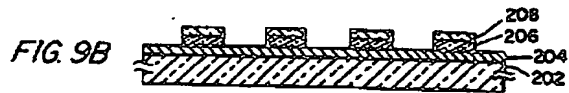
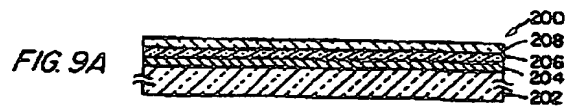
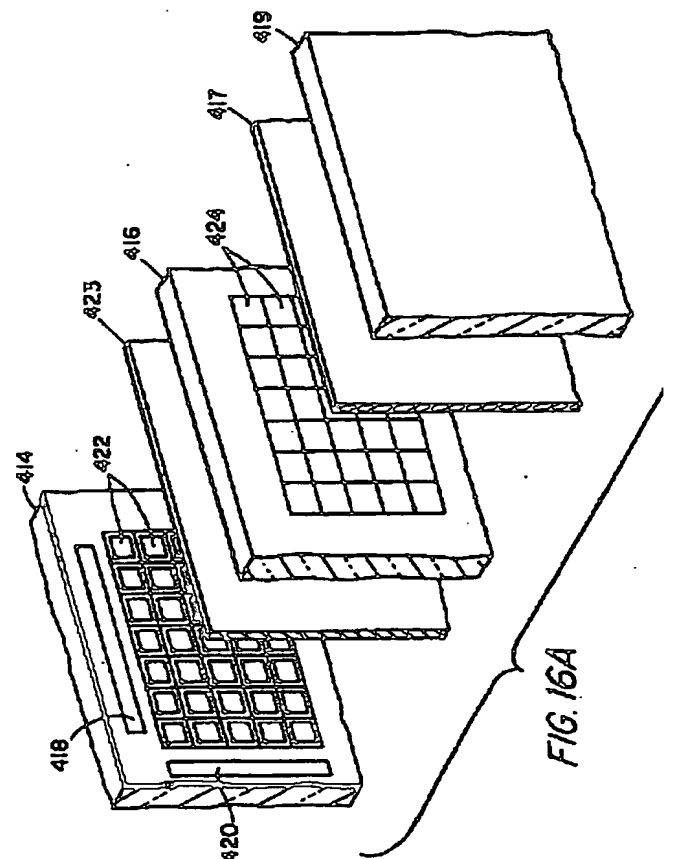
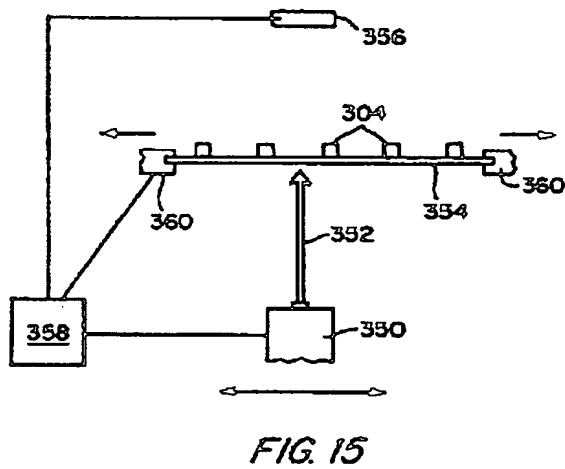
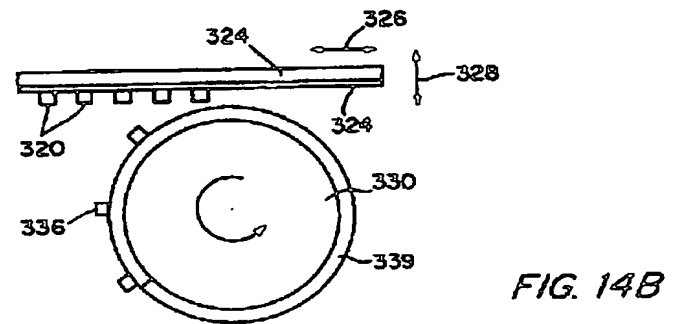
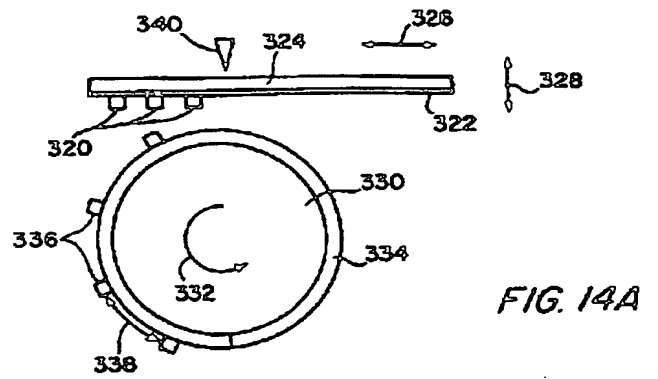
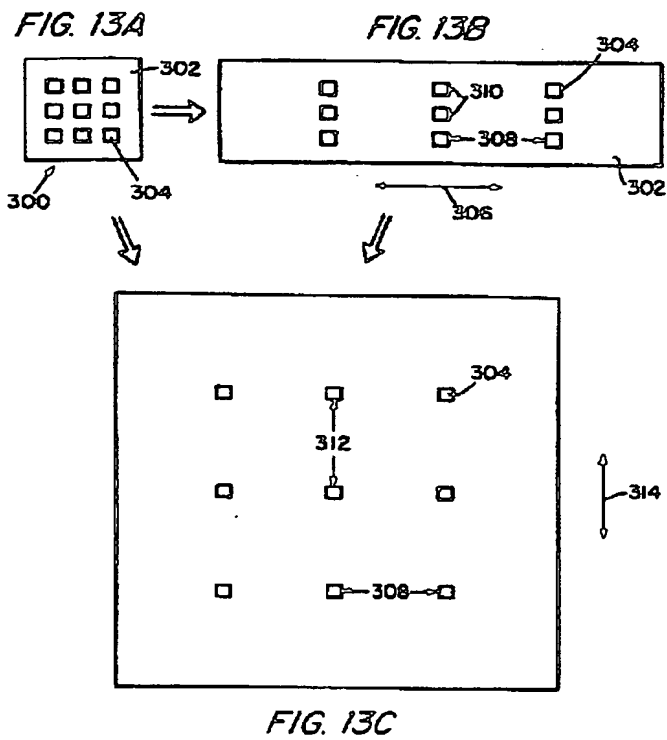


FIG. 8B





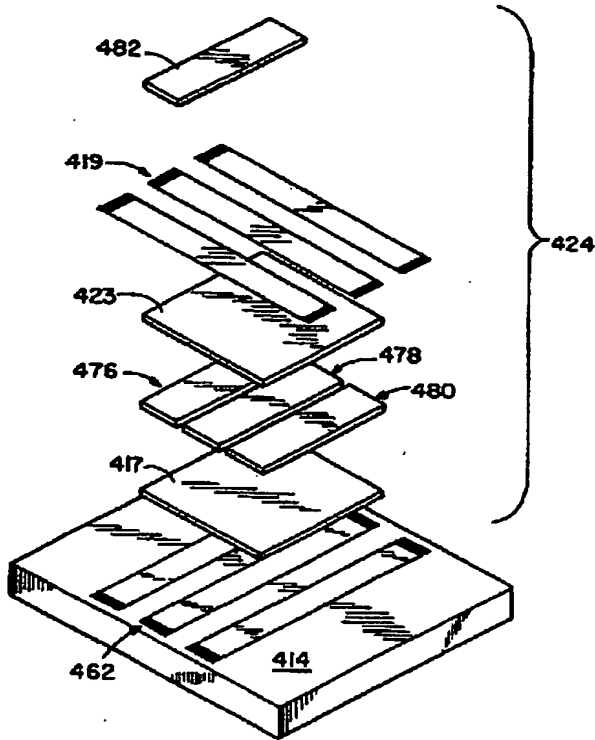


FIG. 16B

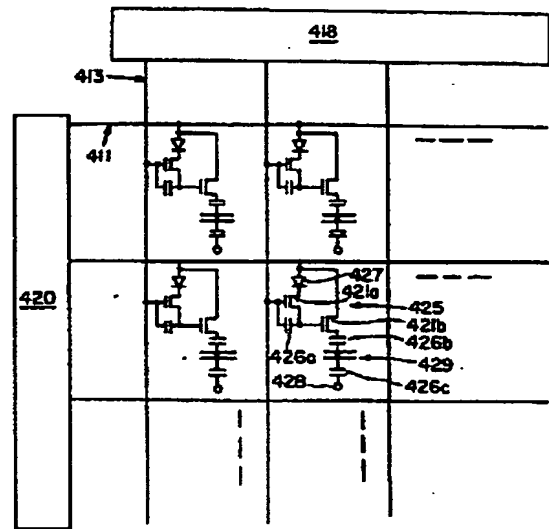


FIG. 16C

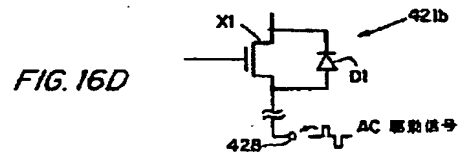


FIG. 16D

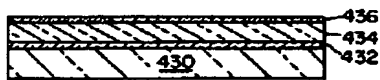


FIG. 17A



FIG. 17B

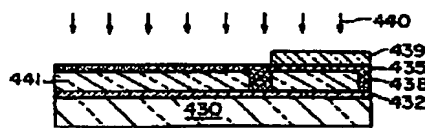


FIG. 17C

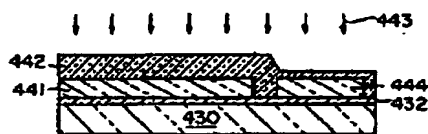


FIG. 17D



FIG. 17E

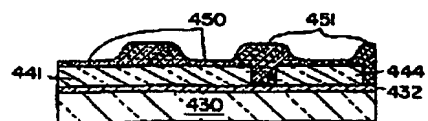


FIG. 17F



FIG. 17G



FIG. 17H

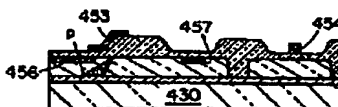


FIG. 17I



FIG. 17J



FIG. 17K

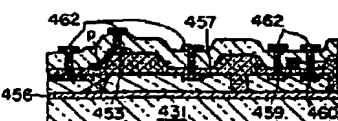


FIG. 17L



FIG. 18A

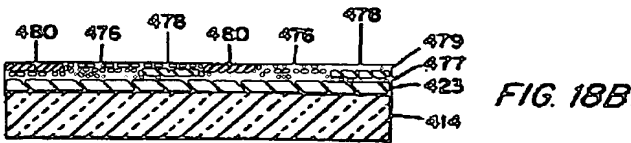


FIG. 18B

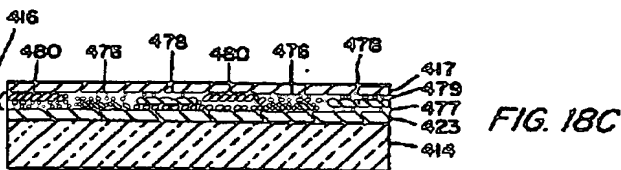


FIG. 18C

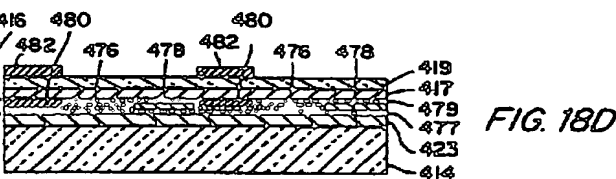


FIG. 18D

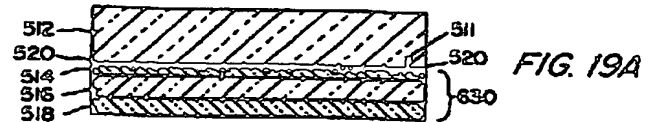


FIG. 19A

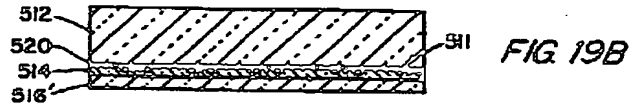


FIG. 19B

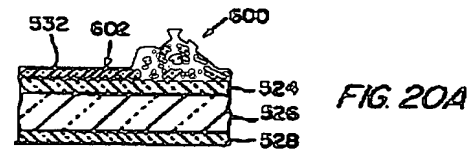


FIG. 20A

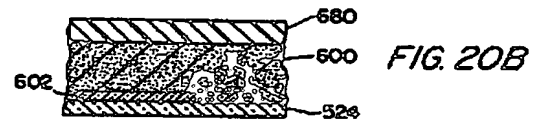


FIG. 20B

特許庁の登録（国訳文）提出（特許法第184条の8）

平成5年6月29日

特許庁長官 藤 生 宣 郎

1. 特許出願の表示

PCT/US91/09770

2. 発明の名称

表示パネル用の最終品シリコン配列素子

3. 特許出人

住所 アメリカ合衆国マサチューセッツ州02780トントン・
マイルズスタンディッシュインダストリアルパーク・
マイルズスタンディッシュビルバード695

名称 コビン・コーポレーション

4. 代理人 〒107

住所 東京都港区赤坂1丁目9番15号

日本目医事会館

氏名 (6078) 芥垣士 小 田 山 平 吉

電話 3585-2258



5. 特許出願の提出年月日

1992年12月24日

6. 特許出願の目的

(1) 特許出願の目的（国訳文）



1通

第8A図は、ゲート電圧が0〜5ボルトで変化する、第6A図の素子のドレイン電流出力を示す。

第8B図は、ゲート電圧が0〜5ボルトで変化する、第6B図の素子のドレイン電流出力を示す。

第9A〜9C図は、発明によるリフトオフプロセスを示す一連の断面図である。

第10A図は、発明の別の実施形態による、リフトオフ処理中のウェーハの断面図である。

第10B図は、プロセスにおける段階、リフトオフ処理の第10A図のII-IIに沿って取った断面図である。

第10C図は、レジストレーションが形成される別の実施形態において、リフトオフ処理中のウェーハの一面の断面図である。

第10D図と第10E図は、リフトオフプロセスにおけるさらに別の段階の第10C図の断面図を示す。

第11A〜11E図は、発明によるリフトオフ処理のプロセスフローにおける各段階中のウェーハの断面図である。

第12A〜12C図は、発明の別の好ましいリフトオフ処理の断面図である。

第13A〜13C図は、発明による底面の好ましい方法を断面図に示す。

第14A図と第14B図は、発明によるさらに別の底面方法を断面図に示す。

請求の範囲

1. パネルディスプレイを製作する方法において、
 - a) 支持基板の上の絶縁層において本質的単結晶半導体材料を形成することと、
 - b) 表示ピクセルの回路パネルを形成するように、本質的単結晶材料において又は上にトランジスタの固定配列を形成することと、
 - c) 支持基板から第2基板に回路パネルを転移することと、
 - d) 各ピクセルが少なくとも一つのトランジスタによって作動可能であり、各ピクセル電極によって発生された電界又は信号が光透過性材料の光学特性を変更する如く、回路パネルの表示ピクセルの固定配列において形成したピクセル電極に隣接して光透過性材料を位置付けることを含むことを特徴とする方法。
2. 段階a)が、支持基板において非単結晶の半導体材料を形成することと、本質的単結晶材料を形成するために非単結晶の半導体材料を結晶化することを含む請求の範囲1に記載の方法。
3. 本質的単結晶半導体材料を形成する段階が、多数の結晶が、膜を通して横に延びている平面において、少なくとも約0.5 cm²の断面積に広がる膜を形成することを含む請求の範囲1に記載の方法。
4. 第2基板が、光透過性基板である請求の範囲1に記載の方法。
5. 各トランジスタが駆動回路に電気的に連絡される如く、本質的単結晶半導体材料において又は上に駆動回路を形成することをさらに含む請求の範囲1に記載の方法。
6. 転移段階が、さらに、本質的単結晶材料から支持基板を化学的にエッチングすることを含む請求の範囲4に記載の方法。
15. 本質的単結晶半導体材料が、単結晶シリコンを具備する請求の範囲13に記載のパネルディスプレイ。
16. 本質的単結晶半導体材料が、多数の結晶が、膜を通して横に延びている平面において、少なくとも約0.5 cm²の断面積に広がる膜である請求の範囲13に記載のパネルディスプレイ。
17. 回路パネルを光透過性基板に固定するための貼合せ材料をさらに具備する請求の範囲13に記載のパネルディスプレイ。
18. 電極が、光透過性材料の層と位置合せされた電極の光透過性配列を具備し、各光透過性電極が、トランジスタの一つに電気的に連絡される請求の範囲13に記載のパネルディスプレイ。
19. 光透過性材料が、液晶を具備する請求の範囲13に記載のパネルディスプレイ。
20. 光透過性材料が、発光性材料を具備する請求の範囲13に記載のパネルディスプレイ。
21. 発光性材料が、エレクトロルミネセント材料を具備する請求の範囲20に記載のパネルディスプレイ。
22. トランジスタが、約5000Hzなしに約10,000Hzの共振周波数において動作する請求の範囲20に記載のパネルディスプレイ。
23. 駆動回路が、本質的単結晶材料の薄層において形成され、駆動回路が、関連トランジスタを作動させることにより、各ピクセルを選択的に作動させることができる如くトランジスタに電気的に連絡され、各作動されたトランジスタに連絡された関連ピクセル電極が、光透過性材料に電界を生成させる請求の範囲14に記載のパネルディスプレイ。

7. 転移段階が、さらに、回路パネルを光透過性基板に貼合せることを含む請求の範囲4に記載の方法。

8. 光透過性材料が、液晶を具備する請求の範囲1に記載の方法。

9. 光透過性材料が、発光性材料である請求の範囲1に記載の方法。

10. 発光性材料が、エレクトロルミネセントである請求の範囲に記載の方法。

11. 位置付け段階が、各ピクセルにおいて発生された電界が、光透過性電極とピクセル電極の間にある如く、光透過性材料上の光透過性電極配列を位置付けることを含む請求の範囲1に記載の方法。

12. 本質的単結晶半導体材料が、光透過性基板の湾曲面に転移される請求の範囲4に記載の方法。

13. 支持基板と、
基板に固定され、トランジスタの固定配列とピクセル電極の配列を具備し、各電極が少なくとも一つのトランジスタに電気的に連絡され、トランジスタが、絶縁層における本質的単結晶半導体材料の層において又は上にトランジスタの固定配列として形成されている回路パネルと、
各ピクセルによって発生され、光透過性材料に印加された電界又は信号が光透過性材料の光学特性を変更する如く、絶縁層上に電極に隣接して位置付けられた光透過性材料と、
ピクセルを作動させるように回路パネルに電気的に連絡された駆動回路とを具備することを特徴とするパネルディスプレイ。

14. トランジスタ配列とピクセル電極配列が、本質的単結晶半導体材料の薄層において又は上に形成される請求の範囲13に記載のパネルディスプレイ。

24. 発光性材料が、複数の領域を具備し、各領域が、異なる色において発光する請求の範囲20に記載のパネルディスプレイ。

IS DOCUMENT CORRESPONDING TO AN EXHIBIT?		EXHIBIT NUMBER (FROM THE RECORD SHEET)	EXHIBIT NUMBER (FROM THE RECORD SHEET)
Category	Character of Document, correspondence, when appropriate, or description of the document	Number of Copies	Number of Copies
Y	US.A. 4 255 223 (FRAME) 5 May 1961 see column 1, line 66 - column 2, line 17; figures 1,2		17,18, 21,22, 27-30, 33,35
A	US.A. 4 727 047 (BOILER) 23 February 1968 riled in the application see column 16, line 4 - line 40; figure 25		3,2
A	EP.A. 0 151 509 (THE SECRETARY OF STATE) 14 August 1965 see page 15 - page 17		3

This source lists the present faculty members relating to the project discussed about in the above-mentioned international search report. The members are no available in the European Patent Office EPO file on. The European Patent Office is in no way liable for those participants which are merely given for the purpose of information. 10/04/92

Patent document which is research copy	Publication date	Patent family numbers	Publication date	
US-A-4883561	28-11-89	US-A-	6846831	11-07-89
US-A-4266223	03-05-81	CA-A-	1143631	09-02-83
		CA-A-	1153209	11-10-83
		DE-A-	2949332	26-06-80
		FR-A-	2443730	04-07-80
		GB-A, B	2035649	19-06-80
		GB-A, B	2043544	02-06-81
US-A-4727047	22-02-88	US-A-	4837182	06-06-89
		DE-A-	3176676	03-04-88
		EP-A, B	6049288	02-03-88
		EP-A-	8294485	17-09-86
		EP-A-	8291503	20-08-86
		EP-A, B	0191504	20-08-86
		EP-A-	0191505	20-08-86
		EP-A-	0113630	10-09-88
		EP-A-	0192280	27-08-88
		JP-A-	2283814	20-11-90
		JP-A-	2283877	20-11-90
		NO-A-	8102948	18-10-81
		US-A-	4821420	29-03-89
EP-A-0151508	14-08-85	JP-A-	60181778	17-09-85
		GB-A-	4808183	28-02-89

フロントページの続き

(72)発明者 マツクレランド、ロバート
アメリカ合衆国マサチユセツツ州02061ノ
ーウエル・パークヒルドライブ50
(72)発明者 ジャコブセン、ジェフリー
アメリカ合衆国カリフォルニア州95023ホ
リスター・テビストレイル501

(72)発明者 デイングル、ブレンダ
アメリカ合衆国マサチユセツツ州02766ノ
ートン・モーガンレイン5
(72)発明者 スピッツァー、マーク
アメリカ合衆国マサチユセツツ州02067シ
ヤロン・ミンクトラツブロード2